

УДК 004.274

doi: 10.32620/reks.2019.4.10

И. Н. ЗАРИЗЕНКО, А. Е. ПЕРЕПЕЛИЦЫН*Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», Украина***АНАЛИЗ СРЕДСТВ И ТЕХНОЛОГИЙ РАЗРАБОТКИ FPGA КАК СЕРВИС**

В данной статье были проанализированы наиболее эффективные интегрированные среды разработки от ведущих производителей программируемых логических интегральных схем (ПЛИС). Рассматриваются гетерогенные вычисления и применимость общего подхода к описанию проектов аппаратных ускорителей. Выполнен аналитически обзор применения языка OpenCL при построении высокопроизводительных решений на основе FPGA. Обсуждаются особенности применения языка OpenCL для гетерогенных вычислений, включая и ускорители на базе FPGA. Анализируется опыт единообразного описания проектов для решений на базе CPU, GPU, сигнальных процессоров и FPGA. Показаны достоинства применения такого описания для задач, выполняющих параллельную обработку. Показаны отличия производительности и трудозатрат на разработку FPGA систем с параллельной обработкой данных для языков описания аппаратуры языка OpenCL. Приводятся результаты сравнения серийно выпускаемых решений для построения сервисов с FPGA ускорителями. Обсуждаются достоинства платформы и инструментов Xilinx для построения FPGA сервиса. Предложены этапы создания решений на основе FaaS (FPGA as a Service). Перечислены некоторые задачи, связанные с FaaS, и обсуждены тенденции развития. Рассматривается платформа SDAccel семейства Xilinx SDx, а также возможная роль этих инструментальных средств при создании вычислительной платформы FPGA как сервиса. Приведен пример использования SDAccel для разработки параллельной обработки на основе FPGA. Обсуждаются достоинства и недостатки применения языков описания аппаратуры совместно с рассматриваемыми средствами автоматизации проектирования. Приводятся результаты сравнения показателей скорости моделирования работы системы, описанной с использованием языков программирования и языков описания аппаратуры. Обсуждаются достоинства моделирования сложных систем, особенно для тестирования решений, предполагающих обработку десятков гигабайт данных и невозможностью создания усеченных тестовых наборов. На основании опыта практического использования формулируются характеристики сред разработки, включая недокументированные.

Ключевые слова: FPGA; SDAccel; гетерогенные вычисления; OpenCL; облачные технологии.

Введение

В текущем десятилетии наблюдается стремительный рост применения программируемой логики в качестве аппаратных ускорителей в составе дата-центров. Ведущие компании-производители программируемой логики активно поддерживают такую область применения посредством выпуска специализированных готовых решений и средств автоматизированного проектирования для их поддержки.

Немаловажной особенностью сервисов с применением FPGA (Field Programmable Gate Array) является потребность в высокоскоростных интерфейсах обмена данными между FPGA и программной частью таких решений. Немалую долю таких сервисов составляет класс задач, требующий возможности быстрой обработки больших массивов данных внутри кристалла. Отсутствие универсальной компиляции и соответствующей среды разработки препятствовало использованию ПЛИС в облачных технологиях, где требуется учёт отличий центрального (CPU) и графического процессора (GPU) [1].

Наряду с этим возрастают требования к показателям интенсивности вычислений и обработки данных. В результате гетерогенные вычисления становятся стандартом эффективного решения больших задач на базе дата-центров, а также тех неразрешимых ранее задач. Необходимость в гетерогенных вычислениях приводит к разработке стандартных языков программирования для использования аппаратного обеспечения в алгоритмах ускорения.

Язык OpenCL предоставляет стандартизованную структуру программ, которые могут работать на гетерогенных платформах, включая CPU, GPU, цифровые сигнальные процессоры и FPGA. Это позволяет частично унифицировать стиль описания проекта для разных ускорителей [2]. OpenCL сегодня используется для описания проектов FPGA в самых разных приложениях, начиная от машинного обучения, и вплоть до распознавания образов. Наиболее перспективные области для таких FPGA проектов включают в себя автоматизацию распознавания образов, программно-определяемые сети, ускорение поисковых задач в Интернете, облачное ускорение и многое другое [3].

Таким образом, целью данного исследования является снижение трудозатрат при разработке высокопроизводительных систем на ПЛИС в составе FaaS. Для достижения поставленной цели необходимо решить задачу анализа наиболее эффективных интегрированных сред разработки от ведущих производителей FPGA, задачу сравнения функции, а также анализ возможностей использования инструментов Xilinx, включая платформу SDAccel, для разработки и внедрения FPGA платформы как сервис.

1. Сравнительный анализ FPGA платформ ведущих производителей

Системы на кристалле (SoC – System-on-Chip) включают в себя процессорное ядро ARM (Acorn RISC Machines) и программируемую матрицу, аналогичную FPGA. Процессорная система выполнена на кристалле вместе с памятью и периферийными устройствами. За счёт добавления программируемых частей, суммарная производительность подобных систем может быть в десятки и сотни раз выше показателей классической подсистемы. Это позволяет комбинировать в SoC высокопроизводительные схемы параллельной обработки в сочетании с широко распространенной процессорной платформой.

Такая архитектура обеспечивает беспрецедентную гибкость и масштабируемость. Имеющиеся, на сегодняшний день кристаллы, позволяют разработчикам строить приложения оптимальные с точки зрения потребляемой мощности и стоимости, а также позволяют резко сократить время выхода на рынок готовой продукции [4].

В настоящее время существует множество SoC, которые представляют новые возможности для разработчиков ускорителей, сочетающие в себе FPGA и процессорные ядра. Примером является Cyclone V компании Intel (Altera), и Zynq-7000 компании Xilinx. Эти платформы построены на базе готовой PCI карты с доступом к облаку через предоставляемый набор библиотек. Такие решения поддерживаются драйверами и средствами разработки для программирования на языках OpenCL, C, C++ в среде SDAccel. Оба семейства содержат двухъядерный ARM Cortex A9 + FPGA. Zynq также бывают одноядерные Zynq-7000S и четырехъядерные UltraScale+.

Не смотря на их сходство в аппаратной части, в программном обеспечении они отличаются.

Для Intel средой разработки проектов FPGA служит Quartus Prime, а средой разработки программного обеспечения – DS-5 Altera Edition. Для Xilinx Zynq-7000 и других FPGA седьмого поколения средой разработки проектов FPGA является Vivado, средой разработки ПО – Xilinx Software Development Kit (SDK).

Intel SDK предоставляет среду разработки, для создания и запуска приложений OpenCL, предназначенных для продуктов Intel FPGA, чтобы проверить его функциональность, затем дается подробный отчет оптимизации. SDK поддерживает встроенный профиль спецификации OpenCL версии 1.0.

Intel FPGA SDK для OpenCL позволяет разработчику абстрагироваться от традиционного процесса разработки аппаратных FPGA до более высокого уровня разработки программного обеспечения. ПЛИС позволяет создавать эффективные ускорители, что обеспечивает большую энергоэффективность, нежели у CPU или GPU.

Основным преимуществом при использовании пакета SDK Intel FPGA для OpenCL для разработчиков программного обеспечения и FPGA разработчиков является то, что код, который написан и оптимизирован для FPGA, можно повторно использовать в различных семействах ПЛИС без необходимости модификации исходного кода [5].

Altera SoC Embedded Design Suite (SoC EDS) – это пакет утилит для разработки встраиваемого ПО процессора ARM Cortex-A9 для Cyclone V SoC и Arria V SoC. В состав SoC EDS входит мощная среда разработки и отладки ARM Design Studio – 5 (DS-5) Altera Edition. Данная версия ARM DS-5 ориентирована исключительно на работу с процессорами из Cyclone V SoC и Arria V SoC. Она поддерживает совместную отладку аппаратной и программной части, а в качестве отладочного устройства поддерживает Altera USB Blaster. SoC EDS и ARM DS-5 Altera Edition позволяют разрабатывать и отлаживать как самостоятельные приложения (bare-metal application), так и приложения исполняемые под операционной системой (как правило Linux) [5].

SoC EDS содержит инструменты разработки, служебные программы, программное обеспечение времени выполнения и примеры приложений, которые позволяют разработку прошивки и прикладного программного обеспечения на аппаратные платформы Intel SoC [6].

Одним из ограничений технологических решений FPGA, является длительное время разработки, и эта проблема может быть решена только с помощью программных средств, предлагаемых в рамках SDAccel. SDAccel – система программирования на множестве языков, позволяющая разработчикам как FPGA решений, так и хост-приложений для взаимодействия с FPGA на стороне компьютера, использовать ПЛИС для создания ускоренных и реконфигурируемых вычислительных сред для дата-центров. SDAccel объединяет среды программирования для OpenCL, C и C++, оптимизированную компиляцию и динамически реконфигурируемые ускорители в общей среде разработки.

Непосредственно в процессе разработки проекта возможен запуск Vivado в отдельном окне для создания бинарных ядер, которые по сути открывают новую парадигму решения задач в FPGA. Такое ядро собирается заранее и может потребовать вплоть до десятка часов для получения бинарных файлов, которые в последующем могут быть динамически загружены в кристалл FPGA в требуемой последовательности и произвольное число раз.

Среда SDAccel предлагает все функции стандартной среды разработки программного обеспечения: оптимизированный компилятор для хост-приложений, кросс-компиляторы для FPGA, надежная среда отладки, помогающая выявлять и устранять проблемы в коде, и профилировщики производительности, позволяющие пользователю выявить узкие места и оптимизировать ваш код. В этой среде процесс сборки SDAccel использует стандартный процесс компиляции и компоновки как для программных элементов, так и для аппаратных элементов проекта.

Среда SDAccel предоставляет инструменты и отчеты для профилирования производительности пользовательского хост-приложения и определения возможностей ускорения. Среда SDAccel предназначена для аппаратных платформ ускорения, таких как:

- платформа на базе FPGA карты KCU1500;
- платформа на базе FPGA карты VCU1525;
- платформы на базе FPGA карты U280 и U50.

Таблица 1
Отличительные особенности платформ ускорения

	Kintex® UltraScaleFPGA VCU1500	Virtex UltraScale+ FPGA VCU1525
Связь и Сеть	Два QSFP/PCIe Gen3	Два QSFP28 100G/PCIe Gen3 x16 или Gen4 x8 через Edge Connector
Конфигурация	JTAG PC4 Header и USB-JTAG Heade/Dual Quad-SPI flash memory	JTAG (micro USB порт)/QSPI конфигурационная флэш
Память	16 GB DDR4/ 3x DDR4 4GB, 2400Mbps, 64-bit w/ ECC/ 1x DDR4 4GB, 2400Mbps, 64-bit w/ no ECC	4-16GB DDR4 DIMM
Потребляемая мощность	Максимальная потребляемая мощность 75 Вт/ Мониторинг потребления по шине PMBus	Мощность 225Вт/До 75 Вт потребление через PCIe Edge/Дополнительные 150Вт через PCIe Aux Power Connector

2. Анализ особенностей средств разработки компании Xilinx

Компания Xilinx предлагает использовать набор инструментов из среды проектирования SDAccel для упрощения процесса взаимодействия проектировщика с набором входов-выходов кристалла FPGA и расширения поддерживаемых способов описания проектов. Подобная автоматизация предполагает наличие встроенного теневого модуля в составе каждого проекта (неустраняемая теневая оболочка – shell), который участвует в процессе передачи данных от хост-приложения на стороне компьютера к пользовательским модулям в FPGA через PCI express.

Использование данного семейства сред разработки позволяет разработчикам с небольшим опытом или совсем без опыта работы с ПЛИС использовать языки программирования высокого уровня для реализации возможностей аппаратного ускорения с процессорами промышленного стандарта, будь то собственное решение или готовая платформа [6].

Главным преимуществом системы является возможность реализации сложных алгоритмов для работы с большими массивами данных. Применение системы будет эффективным для тех алгоритмов, для проверки которых требуется более 1 Гбайт тестовых данных. В первую очередь это конечно алгоритмы обработки изображений.

В рамках стандартного процесса разработки проекта с использованием SDAccel предполагается итеративная загрузка в FPGA требуемой заранее скомпилированной конфигурации в виде некоторого завершеного ядра или группы ядер. Со стороны хост-приложения на C или C++ взаимодействие с ядром выглядит как вызов функции с передачей параметров. Если ядро представляет собой OpenCL решение, то и на стороне FPGA его синтаксис схож с функцией. В случае же RTL ядра на языках Verilog, System Verilog или VHDL в проект добавляется набор блоков для поддержки взаимодействия по интерфейсу AXI (Advanced eXtensible Interface).

Программная спецификация Xilinx для сетей SDNet была представлена как первый элемент семейства Xilinx SDx для проектирования сетевых приложений, систем обработки пакетов и оптимизированной компиляцией в ПЛИС.

SDAccel – программно-определяемая среда разработки, основана на технологии синтеза высокого уровня (HLS), которую Xilinx создала как единую среду для оптимизации проектирования в приложениях центров обработки данных.

По сравнению с процессорной архитектурой структуры, составляющие матрицу программируемой логики в FPGA Xilinx обеспечивают высокую

степень параллелизма при выполнении приложений. Настраиваемая архитектура обработки, сгенерированная SDAccel для ядра, представляет собой другую парадигму выполнения, нежели приложение для CPU, и предоставляет возможность для значительного увеличения производительности. Это позволяет пользователю сервиса динамически задавать существующие бинарные файлы для загрузки в FPGA. Именно эта особенность открывает большой потенциал для применения всего набора описанных решений для предоставления FPGA как сервиса.

Среды разработки Xilinx SDAccel и SDNet были созданы с нуля для обеспечения требований хост-программистов и разработчиков FPGA решений, проектирующих сетевые системы и аппаратные ускорители для дата-центров. Они обеспечивают более простое внедрение и доступность разработки на ПЛИС гораздо более широкому кругу инженеров, одновременно расширяя возможности для разработки систем следующего поколения.

Третий представитель семейства Xilinx SDx – SDSoc позволяет более широкому сообществу разработчиков встроенных программ и систем использовать все программируемые SoC и MPSoc Zynq. Начиная с версии 2016.3 SDAccel и SDSoc объединены в один пакет под названием SDx. SDSoc работает в Windows и Linux. SDAccel работает только под некоторыми версиями Linux.

SDSoc и SDAccel характерны тем, что основное внимание отдается алгоритму, а не проекту ПЛИС. Обе системы позволяют провести моделирование на уровне исходного алгоритма, написанного на C/C++ и далее перевести его на ПЛИС. Это резко увеличивает сложность алгоритма и сейчас обе эти системы внедряются в обработку изображений.

3. Отличительные особенности средств разработки

Одной из первых заметных систем программирования на Си является система Catapult компании Mentor Graphics. Эта система появилась в 2004 году и успешно используется в том числе компанией Microsoft для реализации своего поискового сервера Bing с использованием ПЛИС Altera.

Amazon Web Services предлагает среду разработки Xilinx SDAccel для облачного ускорения. SDAccel позволяет разработчикам оборудования легко развертывать свои RTL-проекты в экземпляре F1. Он также автоматизирует ускорение кода, написанного на C, C++ или OpenCL, путем создания специфичных для приложения ускорителей на экземплярах F1 [6].

В ряде платформ SoC со встроенным процессором ARM широко применяется для соединения и

управления функциональными блоками в разработках, открытый стандарт требований внутрикристалльных межсоединений AMBA. Она облегчает развитие многопроцессорных разработок с большим числом контроллеров и периферии.

При обсуждении аспектов архитектуры Zynq All Programmable SoC в части проектирования ускорителей, основное внимание уделяется портам и протоколам AXI, системной задержке и использованию памяти.

Система состоит из процессорной системы и программируемой логики, которые связаны между собой по шине AXI.

Компания Intel разрабатывает процессор Xeon со встроенной ПЛИС где для взаимодействия между процессором и ПЛИС будет использоваться QPI (Quick Path Interconnect). Системная шина QPI является двунаправленным с двумя 20-битными шинами, по одной на каждое направление, из которых 16 зарезервировано под данные, а оставшиеся четыре – под функции исправления ошибок или служебную информацию протокола. Поэтому интерфейс QPI даёт пропускную способность вплоть до двух раз выше, если запись и чтение синхронизированы.

Выводы

Таким образом, в рамках проведенного исследования было выполнено сравнение инструментальных средств для разработки FPGA решений на основе OpenCL от двух разных фирм производителей.

Была проанализирована возможность разработки как FaaS, так и просто высокопроизвольной системы на FPGA с использованием инструмента SDAccel от Xilinx.

Основными особенностями процесса разработки с использованием всего рассмотренного набора инструментов, является:

- возможность описания хост приложения и непосредственно проекта для FPGA в одной среде;
- отличие эффективности реализации языков C, C++, OpenCL, VHDL, Verilog и System Verilog;
- возможность работы только под ограниченное количество версий Linux с регламентируемым окружением без возможности установки обновлений (Windows в принципе не поддерживается);
- существование множества документированных, устранённых и ещё необнаруженных особенностей, мешающих штатному процессу разработки.

В то время, как многие современные компиляторы C, C++ и OpenCL являются элементами более широких пакетов разработки, многие SDK состоят лишь из набора слабосвязанных линейных инструментов, некоторые из которых остаются сосредоточенными на древних интерфейсах командной строки. С самого

начала среда SDAccel была разработана для того, чтобы быть интерактивной динамической средой разработки для анализа приложений с разделением их на элементы хост-части и ядра для загрузки в FPGA. При этом во время разработки может быть использована и FPGA карта, и эмуляция работы системы на процессоре. Если проект написан на OpenCL, C или C++, то существует возможность исключительно быстрого программного моделирования работы системы.

На сегодняшний день можно использовать такие сложные связки как ПЛИС-МК-ПК на основе SoC в своих проектах. Практический опыт использования инструментов SDAccel и средств быстрого прототипирования показывает, что реализация такой системы становится обычной инженерной задачей.

Возможность скоростного обмена данными с FPGA картами позволяет не только обеспечить высокую пропускную способность во время эксплуатации системы, а и существенно повысить эффективность процессов тестирования в составе жизненного цикла проектируемой системы. Сложные реализации и могут принимать в качестве тестовых наборов реальные наборы данных, измеряемых гигабайтами.

Приведенные в статье особенности рассмотренных инструментальных средств были получены во время проектирования и внедрения элементов FaaS. Непосредственно сам процесс моделирования элементов FaaS с использованием Vivado и запуск в FPGA позволил оценить эффективность связки host-FPGA.

Литература

1. Rodríguez-Andina, J. J. *Advanced Features and Industrial Applications of FPGAs – A Review [Text]* / J. J. Rodríguez-Andina, M. D. Valdés-Peña, M. J. Moure // *IEEE Transactions on Industrial Informatics*. – 2015. – Vol. 11, no. 4. – P. 853-864.
2. Zhang, J. *Efficient large-scale approximate nearest neighbor search on OpenCL FPGA [Text]* / J. Zhang, J. Li, S. Khoram // *In 2018 IEEE/CVF Conference on Computer Vision and Pattern Recognition, 18-23 June 2018*. – P. 4924–4932. DOI: 10.1109/CVPR.2018.00517.
3. Vasiljevic, J. *OpenCL library of stream memory components targeting FPGAs [Text]* / J. Va-

siljevic // *In Proc. of the Int. Conference on Field Programmable Technology (FPT), Dec. 2015*. – P. 104-111

4. Wirbel, L. *Xilinx SDAccel. A Unified Development Environment for Tomorrow's Data Center [Text]* / L. Wirbel. – The Linley Group, Inc., 2014. – 7 p.

5. Stone, J. *Open CL: A Parallel Programming Standard for Heterogeneous Computing System [Text]* / J. Stone, D. Gohara, G. Shi // *Computing in Science and Engineering*. – 2010. – Vol. 12(3). – P. 66-72. DOI: 10.1109/MCSE.2010.69.

6. *Green Experiments with FPGA [Text]* / A. Drozd, J. Drozd, S. Antoshchuk, V. Antonyuk, K. Zashcholkin, M. Drozd, O. Titomir // *In book: Green IT Engineering: Components, Networks and Systems Implementation*. – Vol. 105. – Berlin, Heidelberg : Springer International Publishing, 2017. – P. 219–239.

References

1. Rodríguez-Andina, J. J., Valdés-Peña, M. D., Moure, M. J. *Advanced Features and Industrial Applications of FPGAs – A Review. IEEE Transactions on Industrial Informatics*, vol. 11, no 4, 2015, pp. 853-864.
2. Zhang, J., Li, J., Khoram, S. *Efficient large-scale approximate nearest neighbor search on OpenCL FPGA. In 2018 IEEE/CVF Conference on Computer Vision and Pattern Recognition, 18-23 June 2018*, pp. 4924–4932. DOI: 10.1109/CVPR.2018.00517.
3. Vasiljevic, J. *OpenCL library of stream memory components targeting FPGAs. In Proc. of the Int. Conference on Field Programmable Technology (FPT), Dec. 2015*, pp. 104-111
4. Wirbel, L. *Xilinx SDAccel. A Unified Development Environment for Tomorrow's Data Center. The Linley Group, Inc. Publ.*, 2014. 7 p.
5. Stone, J., Gohara, D., Shi, G. *OpenCL: A Parallel Programming Standard for Heterogeneous Computing Systems. Computing in Science and Engineering*, 2010, vol. 12(3), pp. 66-72. DOI: 10.1109/MCSE.2010.69
6. Drozd, A., Drozd, J., Antoshchuk, S., Antonyuk, V., Zashcholkin, K., Drozd, M., Titomir, O. *Green Experiments with FPGA. In book: Green IT Engineering: Components, Networks and Systems Implementation, vol. 105. Berlin, Heidelberg, Springer International Publishing, 2017*, pp. 219–239.

Поступила в редакцию 19.10.2019, рассмотрена на редколлегии 10.12.2019

АНАЛІЗ ЗАСОБІВ І ТЕХНОЛОГІЙ РОЗРОБКИ FPGA ЯК СЕРВІС

І. М. Зарізенко, А. Є. Перепелицин

У даній статті були проаналізовані найбільш ефективні інтегровані середовища розробки від провідних виробників програмованих логічних інтегральних схем (ПЛИС). Розглядаються гетерогенні обчислення і застосовність загального підходу до опису проектів апаратних прискорювачів. Виконано аналітичний огляд застосування мови OpenCL при побудові високопродуктивних рішень на основі FPGA. Обговорюються особливості застосування мови OpenCL для гетерогенних обчислень, включаючи і прискорювачі на базі FPGA. Аналізується досвід однакового опису проектів для рішень на базі CPU, GPU, сигнальних процесорів і FPGA. Показані переваги застосування такого опису для задач, що виконують паралельну обробку. Показані

відмінності продуктивності і трудовитрат на розробку FPHA систем з паралельною обробкою даних для мов опису апаратури і мови OpenCL. Наводяться результати порівняння рішень для побудови сервісів з FPGA прискорювачами, які випускаються серійно. Обговорюються переваги платформи та інструментів Xilinx для побудови FPGA сервісу. Запропоновано етапи створення рішень на основі FaaS. Перераховані деякі завдання, пов'язані з FaaS, і обговорені тенденції розвитку. Розглядається платформа SDAccel сімейства Xilinx SDx, а також потенційна роль цих інструментальних засобів при створенні обчислювальної платформи FPGA як сервісу. Наведено приклад використання SDAccel для розробки паралельної обробки на основі FPGA. Обговорюються переваги і недоліки застосування мов опису апаратури спільно з розглянутими засобами автоматизації проектування. Наводяться результати порівняння показників швидкості моделювання роботи системи, описаної з використанням мов програмування і мов опису апаратури. Обговорюються переваги моделювання складних систем, особливо для тестування рішень, які передбачають обробку десятків гігабайт даних і неможливістю створення усічених тестових наборів. На підставі досвіду практичного використання формулюються характеристики середовищ розробки, зокрема їх не документовані властивості.

Ключові слова: FPGA; SDAccel; гетерогенні обчислення; OpenCL; хмарні технології.

ANALYSIS OF TOOLS AND TECHNOLOGIES OF FaaS DEVELOPMENT

I. N. Zarizenko, A. E. Perepelitsyn

This article has analyzed the most effective integrated development environments from leading programmable logical device (PLD) manufacturers. Heterogeneous calculations and the applicability of a general approach to the description of hardware accelerator designs are considered. An analytical review of the use of the OpenCL language in the construction of high-performance FPGA-based solutions is performed. The features of OpenCL language usage for heterogeneous computing for FPGA-based accelerators are discussed. The experience of a unified description of projects for solutions based on CPU, GPU, signal processors and FPGA is analyzed. The advantages of using such a description for tasks that perform parallel processing are shown. Differences in productivity and labor costs for developing FPHA systems with parallel data processing for hardware description languages and OpenCL language are shown. The results of comparing commercially available solutions for building services with FPGA accelerators are presented. The advantages of the Xilinx platform and tools for building an FPGA service are discussed. The stages of creating solutions based on FaaS are proposed. Some FaaS related tasks are listed and development trends are discussed. The SDAccel platform of the Xilinx SDx family is considered, as well as the possible role of these tools in creating the FPGA computing platform as a service. An example of using SDAccel to develop parallel processing based on FPGA is given. The advantages and disadvantages of the use of hardware description languages with such design automation tools are discussed. The results of comparing the performance of the simulation speed of the system described with the use of programming languages and hardware description languages are presented. The advantages of modeling complex systems are discussed, especially for testing solutions involving the processing of tens of gigabytes of data and the impossibility of creating truncated test sets. Based on practical experience, the characteristics of development environments, including undocumented ones, are formulated.

Keywords: FPGA; SDAccel; heterogeneous computing; OpenCL; cloud technologies.

Заризенко Инна Николаевна – аспирант кафедры компьютерных систем, сетей и кибербезопасности Национального аэрокосмического университета им. Н. Е. Жуковского «Харьковский авиационный институт», Харьков, Украина.

Перепелицын Артём Евгеньевич – канд. техн. наук, доцент кафедры компьютерных систем, сетей и кибербезопасности Национального аэрокосмического университета им. Н. Е. Жуковского «Харьковский авиационный институт», Харьков, Украина.

Zarizenko Inna Nikolaevna – PhD student, Computer Systems, Networks and Cybersecurity Department, National Aerospace University «Kharkov Aviation Institute», Kharkov, Ukraine, e-mail: i.kolesnyk@csn.khai.edu.

Perepelitsyn Artem Evgenievich – PhD, associate professor of Computer Systems, Networks and Cybersecurity Department, National Aerospace University «Kharkov Aviation Institute», Kharkov, Ukraine, e-mail: a.perepelitsyn@csn.khai.edu, ORCID Author ID: 0000-0002-5463-7889.