

УДК 004.054

С. С. ЩЕРБАЧЕНКО¹, О. Ю. СТРЮК¹, А. А. РЕЗУНЕНКО¹, А. А. СЕНАТОРОВ²¹ *Научно-производственное предприятие «Радий», Украина*² *Полтавский национальный технический университет им. Ю. Кондратюка, Украина*

МЕТОД МОДЕЛИРОВАНИЯ СБОЕВ ОПЕРАТИВНОЙ ПАМЯТИ FPGA ВНЕСЕНИЕМ ДЕФЕКТОВ НА УРОВНЕ РЕГИСТРОВЫХ СВЯЗЕЙ

Рассмотрены способы моделирования сбоев оперативной памяти FPGA. Обоснована целесообразность использования методов моделирования с внесением дефектов. Проведен анализ достоинств и недостатков методов моделирования сбоев оперативной памяти FPGA с внесением дефектов в различных областях представления цифровых устройств. Предлагается метод моделирования сбоев оперативной памяти FPGA, основанный на внесении дефектов на уровне регистровых связей. Представлено описание логики функционирования и алгоритма реализации предложенного метода на языке VHDL.

Ключевые слова: *FPGA, оперативная память, моделирование сбоев, тестирование с внесением дефектов, VHDL*

Введение

Программируемые логические интегральные схемы (ПЛИС) основанные на технологии программируемых вентилях матриц (FPGA, Field Programmable Gate Array), приобретают всё большую популярность, как потенциальная основа для реализации широкого спектра различных приложений. Архитектура современных FPGA базируется на использовании массивов статической оперативной памяти с произвольным доступом (SRAM, Static Random Access Memory). Под воздействием частиц с высокой энергией (например, при воздействии радиационного или космического излучения) в ячейках памяти SRAM могут возникать одиночные сбои (SEU, Single Event Upset), как правило, вызывающие «мягкие» ошибки (soft errors), при которых повторное включение устройства или перезапись информации приводят к последующей нормальной работе устройства. Радиационная уязвимость FPGA ограничивает использование данного вида ПЛИС в критических областях, таких как авиация, космонавтика или ядерная энергетика [1].

1. Методы моделирования сбоев RAM FPGA

Для преодоления уязвимости FPGA к одиночным сбоям, разрабатываются и внедряются специализированные средства, методы и технологии обеспечения отказоустойчивости, которые используются на всех этапах проектирования, производства и эксплуатации информационно – управляющих систем

основанных на FPGA [2].

Важным способом преодоления рисков вызываемых одиночными сбоями SRAM FPGA, является использование диагностических средств, способных обнаружить и локализовать последствия таких сбоев [3, 4]. Тестирование (верификация и валидация) средств диагностики, требует моделирования сбоев RAM. В настоящее время известны следующие группы методов моделирования сбоев FPGA, осуществляющиеся в различных областях представления цифровых устройств:

1. Аналитические методы [5, 6]. Основной недостаток – очень высокая сложность для микросхем FPGA имеющих комплексную структуру и сверхвысокую интеграцию.

2. Моделирование сбоев RAM с использованием техники внесения программно-аппаратных дефектов (FIT, Fault Insertion Testing), подразделяющееся на три подгруппы:

2.1. Физическое внесение дефекта путем облучения FPGA источником излучения. Достоинства – высокая скорость и минимальная сложность планирования и проведения тестирования. Недостатки – требует дорогостоящего лабораторного оборудования (как минимум источника излучения), высокий риск выхода из строя тестируемой FPGA (модуля цифрового устройства), может проводиться только на завершающих этапах проектирования устройства [7].

2.2. Внесение дефектов в схемотехнику FPGA, реализуется за счёт искажения конфигурационных данных FPGA [4, 8] или за счёт имитации дефектов специализированными компонентами (блоками),

включенными в проект цифрового устройства [9, 10]. Достоинства – гибкость, моделирование на реальном объекте тестирования, высокая скорость тестирования при наличии тестового инструментария. Недостатки - относительно высокая стоимость в случае приобретения тестового инструментария сторонней разработки, сложность создания собственного тестового инструментария сопоставимая со сложностью разработки проекта цифрового устройства.

2. 3. Внесение дефектов в процессе моделирования функционирования цифрового устройства с использованием средств симуляции FPGA [11]. Достоинства – гибкость, возможность тестирования диагностических средств на ранних этапах проектирования. Недостаток – сложность создания тестового окружения (testbench), сопоставимая со сложностью проектирования блоков цифрового устройства.

С точки зрения авторов, решающим преимуществом последней группы методов является отсутствие необходимости в специализированной лабораторной базе. Для реализации FIT в процессе моделирования функционирования цифрового проекта FPGA, достаточно традиционного инструментария разработки и тестирования проектов цифровых устройств.

Цель статьи: представить метод моделирования сбоя RAM FPGA, основанный на внесении дефектов в проект цифрового устройства на уровне регистровых связей (RTL).

2. Модель сбоя RAM FPGA на RTL уровне

Внутренние блоки RAM современных FPGA изготавливаются по технологии КМОП. Для схем, выполненных по КМОП технологии, при моделировании неисправностей транзистора целесообразно использовать модель «идеального ключа» [12]. В данной модели, физические дефекты моделируются состояниями ключа "постоянно открыт" или "постоянно закрыт". В общем случае, логический вентиль содержит несколько транзисторов (ключей), предполагается, что только один транзистор (ключ) может быть «постоянно замкнутый» (stuck - on - SON) или «постоянно открыт» (stuck - open - SOP). Ячейка оперативной памяти FPGA представляет собой RS - триггер, состоящий из двух инверторов на КМОП технологии. Применим модель «идеальный ключ» для ключей триггера (рис. 1).

Анализ состояний RS - триггера с внесенным дефектом позволяет получить возможные состояния триггера, используемые при моделировании сбоя (рис. 2, 3).

Процедура моделирования сбоя RAM на RTL уровне, описывается следующим выражением:

$$D_f \leq D \& m_1 \vee m_0,$$

где D_f - данные с внесенной ошибкой;

D - данные записываемые в ОЗУ;

m_1 - маска для моделирования сбоя при записи «1»;

m_0 - маска для моделирования сбоя при записи «0».

Маски m_1 и m_0 представляют собой векторы ошибки с размерностью соответствующей размерности блоков данных. Схематическое представление процедуры моделирования сбоя RAM представлено на рис. 4.

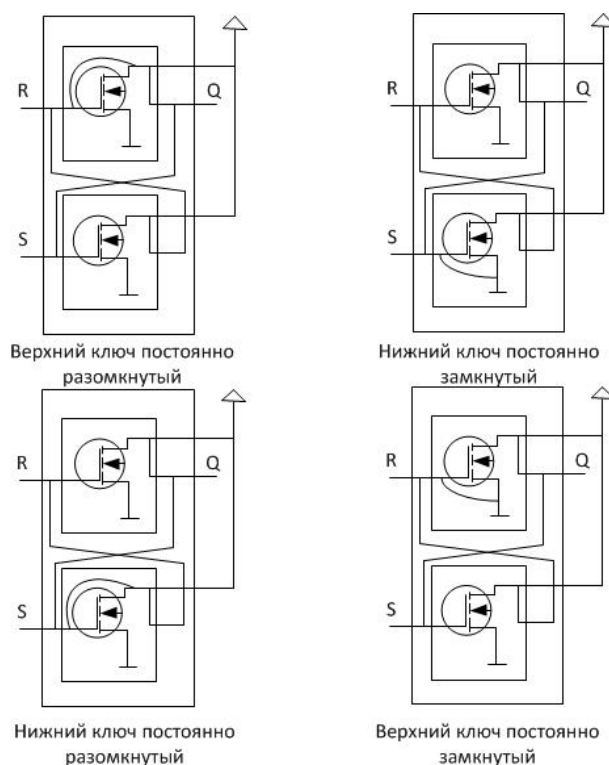


Рис. 1. Модель «идеальный ключ» для ячейки оперативной памяти FPGA

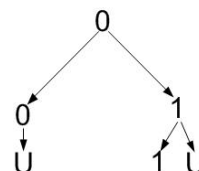


Рис. 2. Возможные состояния ячейки RAM при сбое во время сохранения «0»

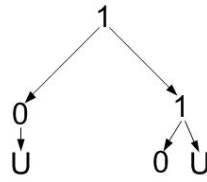


Рис. 3. Возможные состояния ячейки RAM при сбое во время сохранения «1»

3. Алгоритм моделирования сбоев RAM FPGA

Наиболее целесообразной базовой конструкцией языка VHDL, пригодной для реализации предложенного метода, представляется подпрограмма, реализованная в виде процедуры, вызываемая тестовым окружением, созданным в среде моделирования.

В качестве параметров процедуры декларируются:

- 1) D - данные, предназначенные для записи в RAM;
- 2) D_f - данные, предназначенные для записи в RAM с внесённой ошибкой;
- 3) номер искажаемого бита данных.

Значение искаженного бита данных определяется в ходе выполнения процедуры с использованием следующего выражения:

$$D_{f_i}^j = \begin{cases} 0, & \text{если } D_i^j = 1, D_i^{j-1} = 1, D_{f_i}^{j-1} \neq 0; \\ U, & \text{если } D_i^j = 1, D_i^{j-1} = 1, D_{f_i}^{j-1} = 0; \\ U, & \text{если } D_i^j = 1, D_i^{j-1} = 0; \\ 1, & \text{если } D_i^j = 0, D_i^{j-1} = 1, D_{f_i}^{j-1} \neq U; \\ U, & \text{если } D_i^j = 0, D_i^{j-1} = 1, D_{f_i}^{j-1} = U; \\ U, & \text{если } D_i^j = 0, D_i^{j-1} = 0. \end{cases}$$

где $D_{f_i}^j$ - значение бита с внесённой ошибкой;

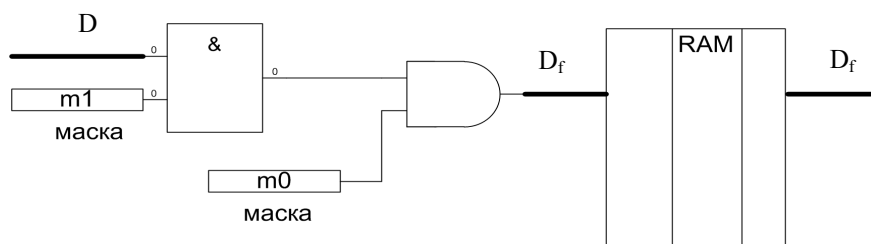


Рис. 4. Схема процедуры моделирования с внесением ошибок в данные RAM

$D_{f_i}^{j-1}$ - предыдущие значение бита с внесённой ошибкой;

D_i^j - текущие значение бита;

$D_{f_i}^{j-1}$ - предыдущие значение бита.

Временная диаграмма, иллюстрирующая частный результат работы предлагаемого метода моделирования, приведена на рис.5.

Как видно из рис. 5, старший бит шины данных изменил значение на «U» при записи по адресу «3», так как предыдущее и текущие значение старшего бита равно «0».

Проверка корректности функционирования предлагаемого метода реализованного на языке VHDL, проведена в среде моделирования ModelSim PE 10.0 с.

Выводы

Предложенный метод моделирования сбоев RAM FPGA, основанный на внесении дефектов на уровне RTL, позволяет выполнить функциональную проверку средств диагностирования сбоев в FPGA проектах без использования дорогостоящего лабораторного оборудования. VHDL реализация, предложенного метода, успешно использована при проведении валидационного тестирования оборудования НПП «Радий» на соответствие требованиям стандарта МЭК-61508. В дальнейшем планируется расширить метод моделирования с внесением дефектов на RTL уровне на другие типы функциональных блоков FPGA проектов.

Литература

1. Ranta, J. *The current state of FPGA technology in the nuclear domain [Text]* / J. Ranta // *VTT TECHNOLOGY 10*. – Espoo: VTT TECHNOLOGY, 2012. – 62 p.
2. Kastensmidt, F. L. *Fault-Tolerance Techniques for SRAM-Based FPGAs [Text]* / F. L. Kastensmidt, R. Reis. – Springer, 2007. – 200 p.
3. Nicolaidis, M. *Soft Errors in Modern Electronic Systems [Text]* / M. Nicolaidis. – Springer, 2010. – 336 p.

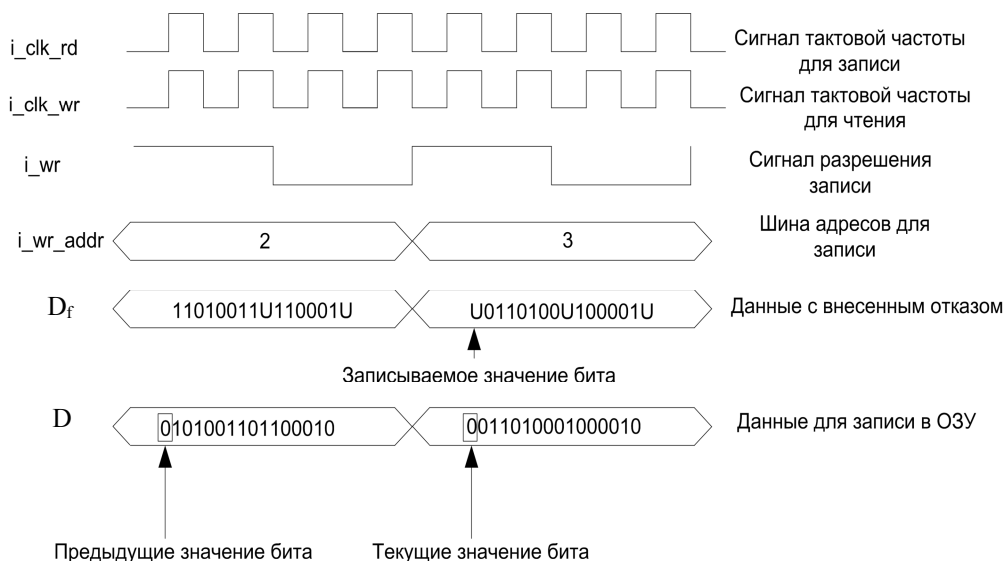


Рис. 5. Временная диаграмма внесения ошибки

4. *Error Detection and Recovery Using CRC in Altera FPGA Devices [Text]* // Altera Corporation Application Note 357. – 2008. – 17 p.

5. Asadi, G. *An analytical approach for soft error rate estimation in digital circuits [Text]* / G. Asadi, M. B. Tahoori // *In Proc. of IEEE International Symposium on Circuits and Systems (ISCAS)*. – 2005. – P. 2991 – 2994.

6. *A fast and accurate multi-cycle soft error rate estimation approach to resilient embedded systems design [Text]* / M. Fazeli, M. S. G. Miremadi, H. Asadi, S.N. Ahmadian // *In Proc. of Dependable Systems and Networks (DSN)*. – 2010. – P. 131 – 140.

7. *A fault injection analysis of Virtex FPGA TMR design methodology [Text]* / F. Lima, C. Carmichael, J. Fabula, R. Padovani, R. Reis // *In Proc. of Radiation and Its Effects on Components and Systems*. – 2001. – P. 275 – 282.

8. Sterpone, L. *A new partial reconfiguration-based fault injection system to evaluate SEU effects in SRAM-based FPGAs [Text]* / L. Sterpone, M. Violante // *IEEE*

Transactions on Nuclear Science (TNS). – 2007. – Vol. 54, Is.4. – P. 965 – 970.

9. Mohammadi, A. *SCFIT: A FPGA-based Fault Injection Technique for SEU Fault Model [Text]* / A. Mohammadi, M. Ebrahimi, A. E. Seyed, G. Miremadi // *In Proc. of Design, Automation & Test in Europe Conference & Exhibition (DATE)*. – 2012. – P. 586 – 589.

10. Rudrakshi, S. *Implementation of FPGA Based Fault Injection Tool (FITO) for Testing Fault Tolerant Designs [Text]* / S. Rudrakshi, V. Midasala, S. Bhavanam // *ACSIT International Journal of Engineering and Technology*. – 2012. – Vol. 4, No. 5. – P. 522 – 526.

11. *A hybrid fault injection approach based on simulation and emulation cooperation [Text]* / A. Ejlali, A. S. G. Miremadi, H. Zarandi, G. Asadi, S. B. Sarmadi // *In Proc. of Dependable Systems and Networks (DSN)*. – 2003. – P. 479 – 488.

12. Скобцов, Ю. А. *Логическое моделирование и тестирование цифровых устройств [Текст]* / Ю. А. Скобцов, В. Ю. Скобцов. – Донецк : ИПММ НАНУ, ДонНТУ, 2005. – 436 с.

Поступила в редакцию 21.02.2014, рассмотрена на редколлегии 25.03.2014

Рецензент: д-р техн. наук, профессор кафедры компьютерных систем и сетей А. В. Горбенко, Национальный аэрокосмического университета им. Н. Е. Жуковского «ХАИ», Харьков, Украина.

МЕТОД МОДЕЛЮВАННЯ ЗБОЇВ ОПЕРАТИВНОЇ ПАМ'ЯТІ FPGA ВНЕСЕННЯМ ДЕФЕКТІВ НА РІВНІ РЕГІСТРОВИХ ЗВ'ЯЗКІВ

С. С. Щербаченко, О. Ю. Стрюк, А. О. Резуненко, А. А. Сенаторов

Розглянуті способи моделювання збоїв оперативної пам'яті FPGA. Обґрунтована доцільність використання методів моделювання з внесенням дефектів. Проведений аналіз переваг та недоліків методів моделювання збоїв оперативної пам'яті FPGA з внесенням дефектів в різних областях представлення цифрових пристроїв. Пропонується метод моделювання збоїв оперативної пам'яті FPGA, який базується на внесенні дефектів на рівні регістрових зв'язків. Наведені описання логіки функціонування і алгоритму реалізації запропонованого методу мовою VHDL.

Ключові слова: FPGA, оперативна пам'ять, моделювання збоїв, тестування з внесенням дефектів, VHDL.

A METHOD OF FPGA RANDOM ACCESS MEMORY'S UPSETS MODELING BY MEANS OF FAULT INJECTIONS IN THE REGISTRY TRANSFER LEVEL**S. S. Shcherbachenko, A. Y. Strjuk, A. A. Rezenenko, A. A. Senatorov**

Approaches to FPGA random access memory's soft upsets modeling were considered. Availability of fault insertion modeling methods was substantiated. Analysis of advantages and limitations of FPGA random access memory's soft upsets modeling methods which are based on fault injections in different layers of digital device representation has been performed. The method of FPGA random access memory's soft errors modeling, which is based on fault injections in the registry transfer level is proposed. Functional logic description and VHDL realization algorithm are shown.

Key words: FPGA, random access memory, upsets modeling, fault insertion testing, VHDL.

Щербаченко Сергей Сергеевич – старший инженер-программист группы верификации и валидации НПП «Радий», Полтава, Украина, e-mail: sergey_pl_20@mail.ru.

Стрюк Алексей Юрьевич – канд. техн. наук, доцент, старший научный сотрудник группы верификации и валидации НПП «Радий», Полтава, Украина, e-mail: strjuk@ Rambler.ru.

Резуненко Андрей Алексеевич – канд. техн. наук, начальник отдела технической аналитики управления проектами НПП «Радий», Кировоград, Украина, e-mail: a.rezenenko@mail.ru.

Сенаторов Артём Александрович - студент Полтавского национального технического университета им. Юрия Кондратюка, Полтава, Украина, e-mail: profside666@gmail.com.