

УДК 004.31

О.М. БЕЗДІТКО

Харківський радіотехнічний технікум, Україна

БУДОВА ПРИСТРОЇВ MMX РОЗШИРЕННЯ БАЗОВОГО МІКРОПРОЦЕСОРА

Проведена дослідницька робота з питань будови операційного комп'ютерного обладнання, яке розміщено в надрах потужного мікропроцесора, надає читачу можливість побачити приховані тонкощі схемної реалізації певних пристроїв. Для аналізу операційних елементів і будови подібних запроваджена алгебра логіки у вигляді логічних функцій. Будова систем логічних рівнянь базується на основі типових алгоритмів, які використовуються при схемній реалізації потрібних функцій. Спроекований обчислювальний пристрій MMX розширення потужного сучасного мікропроцесора з функцією головного процесора є однією з версій пошуку рішення. Результати роботи програм підтверджують доцільність проведених проектувань та отриманих схемних варіантів, згідно з якими побудовані пристрої головного мікропроцесора.

Ключові слова: знакове та беззнакове насичення, циклічна та арифметика з насиченням, мультиплексор логічного суматора, операційний пристрій мультимедійного розширення.

Вступ

Сучасна комп'ютерна індустрія непередбачено розвивається в бік удосконалення комп'ютерних систем з метою більш усестороннього їх використання людиною. Торкається це будови нових внутрішніх пристроїв, з яких складені мікропроцесори комп'ютерного обладнання. Розробники апаратного забезпечення, запроваджуючи нові рішення та реалізації в виробках мікропроцесорів, доцільно приховують свої ноу-хау. Пов'язано це з комерціалізацією авторських прав на свої винаходи та їх використання іншими.

Сьогодні у світі склалася цікава ситуація на ринку комп'ютерного бізнесу розвинутих держав зі стабільною економікою.

Технології виробництва потужних комп'ютерів спираються на геніальні рішення схемотехніки будови завершених операційних комп'ютерних пристроїв, використання новітніх методик програмування та комп'ютеризації усього технологічного циклу виробництва.

У цій статті висвітлені питання проектування апаратного забезпечення сучасного комп'ютерного обладнання, розроблена та подана методика аналізу складних операційних внутрішніх схем головного мікропроцесора комп'ютера, наведені приклади програмування обчислювальних розширень центрального мікропроцесора. Крім того, побудована основна частина MMX розширення гіпотетичного мікропроцесора. Запропоновані оригінальні схемні рішення окремих складових мультимедійного розширення є творчим поглядом автора в лабіринт мікропроцесорної схемотехніки.

1. Суматор MMX розширення

Головним обчислювачем центрального процесора є чотирифункційний суматор паралельного типу. Арифметичний співпроцесор головного мікропроцесора є дуже складним цифровим пристроєм по обчисленню даних у форматі з плаваючою точкою. Головною складовою його є суматор паралельної дії для обробки мантис розрядністю 64 біти внутрішнього формату. Апаратна частина MMX розширення використовує цей суматор у якості обчислювача пакетів елементів. Для переходу від одного обчислювача до іншого і навпаки необхідна команда розподілу EMMS (Empty MMX State) [1].

Мультимедійне розширення має групу пакетних логічних команд диз'юнкції, кон'юнкції, логічної нерівнозначності. Якщо для будови суматора використати мультиплексор, то це дає можливість зосередити в схемі чотири реалізації – одну арифметичну і три логічних. Робота такого мультиплексора описується рівнянням

$$F_i = (\bar{B} \& \bar{A}) \& S_i \vee (\bar{B} \& A) \& M_i \vee (B \& \bar{A}) \& D_i \vee (B \& A) \& K_i. \quad (1)$$

Залежно від стану на входах керування **B** та **A** мультиплексора на вихід однорозрядної схеми передається одна з чотирьох паралельно обчислених функцій – арифметичної додавання та трьох бінарних логічних кон'юнкції, диз'юнкції та логічної нерівнозначності [2]. В пристрої пакетної паралельної роботи суматора ця обставина грає важливу роль.

Однорозрядний логічний суматор (рис. 1) є основою для будови паралельного багаторозрядного суматора.

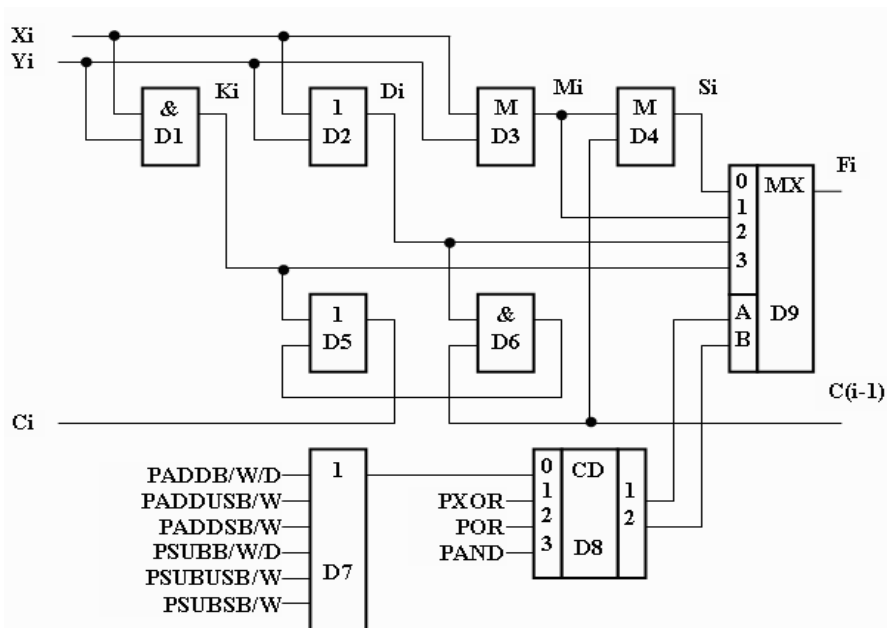


Рис. 1. Схема однорозрядного логічного суматора

На етапі мінімізації та синтезу однорозрядного суматора було отримане логічне рівняння

$$C_i = K_i \vee D_i C_{(i-1)}. \quad (2)$$

Для підвищення швидкодії суматора по розповсюдженню перенесень від молодших до старших розрядів повинно формуватися ланцюгами паралельної дії. На практиці будови суматорів використовують принцип паралельно-послідовного розповсюдження перенесень. Якщо перейти до сусіднього молодшого розряду, то рівняння для перенесення в старший розряд буде справедливим:

$$C_{(i-1)} = K_{(i-1)} \vee D_{(i-1)} C_{(i-2)}; \quad (3)$$

$$C_i = K_i \vee D_i [K_{(i-1)} \vee D_{(i-1)} C_{(i-2)}] = K_i \vee D_i K_{(i-1)} \vee D_i D_{(i-1)} C_{(i-2)}; \quad (4)$$

$$C_{(i-2)} = C_{(i-2)} \vee D_{(i-2)} C_{(i-3)}; \quad (5)$$

$$C_i = K_i \vee D_i K_{(i-1)} \vee D_i D_{(i-1)} [K_{(i-2)} \vee D_{(i-2)} C_{(i-3)}] = K_i \vee D_i K_{(i-1)} \vee D_i D_{(i-1)} K_{(i-2)} \vee D_i D_{(i-1)} D_{(i-2)} C_{(i-3)}. \quad (6)$$

Для будови чотирьох розрядного паралельного суматора з паралельним міжрозрядним перенесенням (рис. 2) складається система логічних рівнянь, для яких входними даними є раніше відмічені кон'юнкції, диз'юнкції та вхідне перенесення з назвою CI (Carry Input). Сума в *i*-му розряді визначається через модуль два аргументів (двох операндів) та перенесення з молодшого (*i*-1)-го розряду. Кожен розряд арифметичної суми групи з чотирьох розрядів описується системою логічних рівнянь:

$$S_0 = M_0 \oplus C_1, \quad S_1 = M_1 \oplus C_0, \\ S_2 = M_2 \oplus C_1, \quad S_3 = M_3 \oplus C_2. \quad (7)$$

$$C_0 = K_0 \vee D_0 C_1,$$

$$C_1 = K_1 \vee D_1 K_0 \vee D_1 D_0 C_1,$$

$$C_2 = K_2 \vee D_2 K_1 \vee D_2 D_1 K_0 \vee D_2 D_1 D_0 C_1, \\ C_3 = K_3 \vee D_3 K_2 \vee D_3 D_2 K_1 \vee D_3 D_2 D_1 K_0 \vee D_3 D_2 D_1 D_0 C_1. \quad (8)$$

Усі чотири мультиплексори мають загальне керування входами В,А, що спонукає до їх одночасного спрацювання. Клапани двохступеневої логіки D1-D4 забезпечують одночасове формування перенесень в старші розряди, що збільшує швидкість роботи логічного суматора.

Вихідне перенесення C_7 логічного суматора при пакетному додаванні чи відніманні елементів байтів з циклічним переповненням (Wraparound mode) тестується на умову переповнення розрядної сітки. Арифметика MMX розширення зі знаковим насиченням (Saturation arithmetic) передбачає після додавання чи віднімання елементів байту пакету апаратне тестування іншої ознаки переповнення (насичення) – OVR_7 , яка формується напівсуматором згідно з логікою (рис. 3):

$$OVR_7 = C_6 \oplus C_7. \quad (9)$$

Ознакою насичення елементу (байту) пакета є непогодженість перенесень в старший C_6 та зі старшого C_7 розрядів, що реалізується елементом нерівнозначності – напівсуматором. Виявлення переповнення або насичення спричинює формуванню в суматорі екстремальних величин – беззнакових чи знакових максимуму та мінімуму. Якщо елементами пакету є слова, то байтні суматори каскадуються між собою, утворюючи інші структури розрядністю два байти. Тестуванню підлягають ознаки перенесення та переповнення C_{15} , OVR_{15} . При елементах з подвійними словами в пакеті мультимедійний обчислювач формує та тестує окрім результату ще і ознаки C_{31} , OVR_{31} .

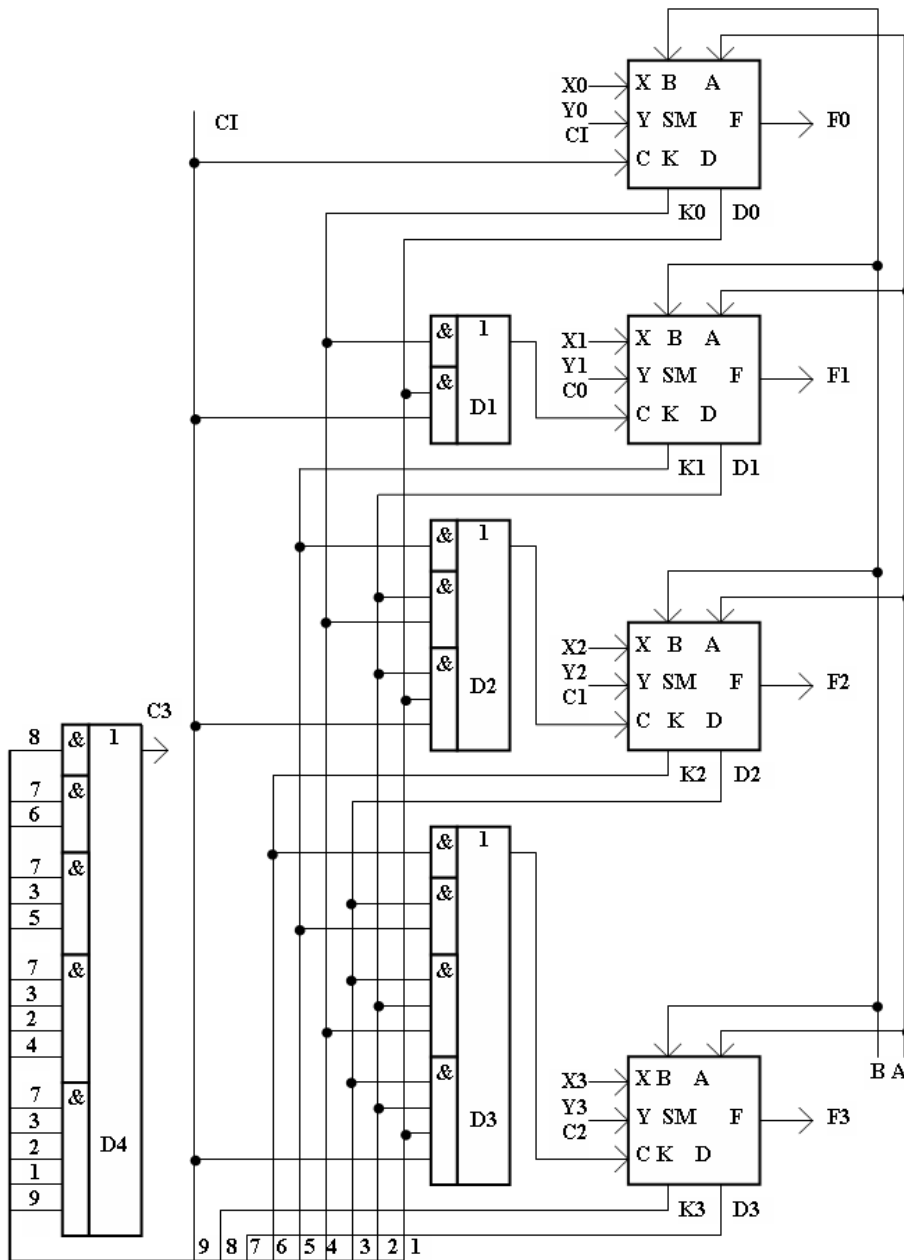


Рис. 2. Схема суматора паралельним з перенесенням

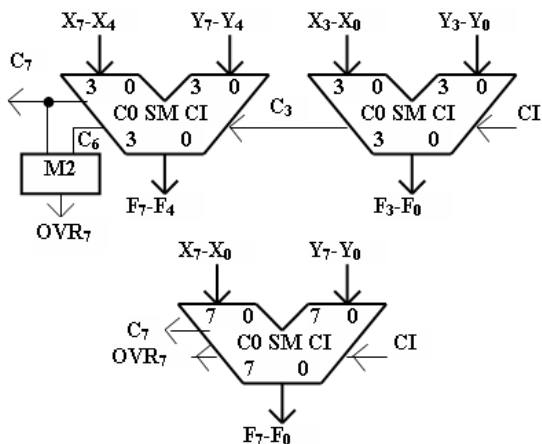


Рис. 3. Склад та будова суматора MMX розширення для одного байту

Обчислення байту полягає в формуванні не тільки суми, а ще й ознак насичення, які запам'ятовуються в відповідних тригерах. При додаванні $I=0$ другий операнд передається в суматор прямим значенням, в іншому випадку – оберненим плюсом одиниця вхідного перенесення

2. Структура операційного пристрою MMX розширення

Структура операційного пристрою MMX розширення передбачає використання у якості регістрів RMMX7-RMMX0 молодшої частини внутрішніх регістрів стеку ST7-ST0 арифметичного співпроцесора [2] (рис. 4).

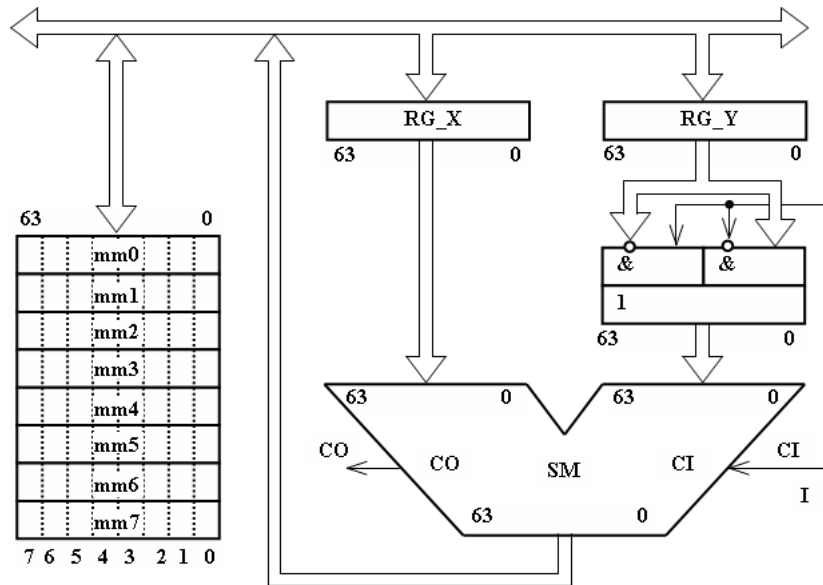


Рис. 4. Спрощена структурна схема операційного пристрою MMX розширення

Досить складна комбінаційна частина пристрою логічного суматора оточена допоміжними регістрами першого RG_X та другого RG_Y операндів [1]. Блок клапанів двохступеневої логіки, забезпечує передачу в суматор пакету елементів другого операнду прямим або оберненим кодом. Синхронно з цим вхідне перенесення дорівнює нулю або одиниці відповідно. Керуючий сигнал (I – Instruction addition/subtraction) при команді пакетного віднімання перетворює пакет елементів другого операнду в доповнювальний код, що дає можливість додавати його до пакету елементів першого операнду. Перший варіант утворюється арифметичними командами, які обчислюють два пакети даних, елементами яких є байти. Другий та третій варіанти утворюються командами з елементами пакетів є слова та подвійні слова відповідно. Четвертий варіант передбачає обчислення четвертого слова (рис. 5).

Для всіх варіантів конфігурацій суматора керування I служить вхідним перенесенням. При додаванні вхідне перенесення для елементів пакету дорівнює нулю, при відніманні – одиниці. Крім того, вихідне перенесення

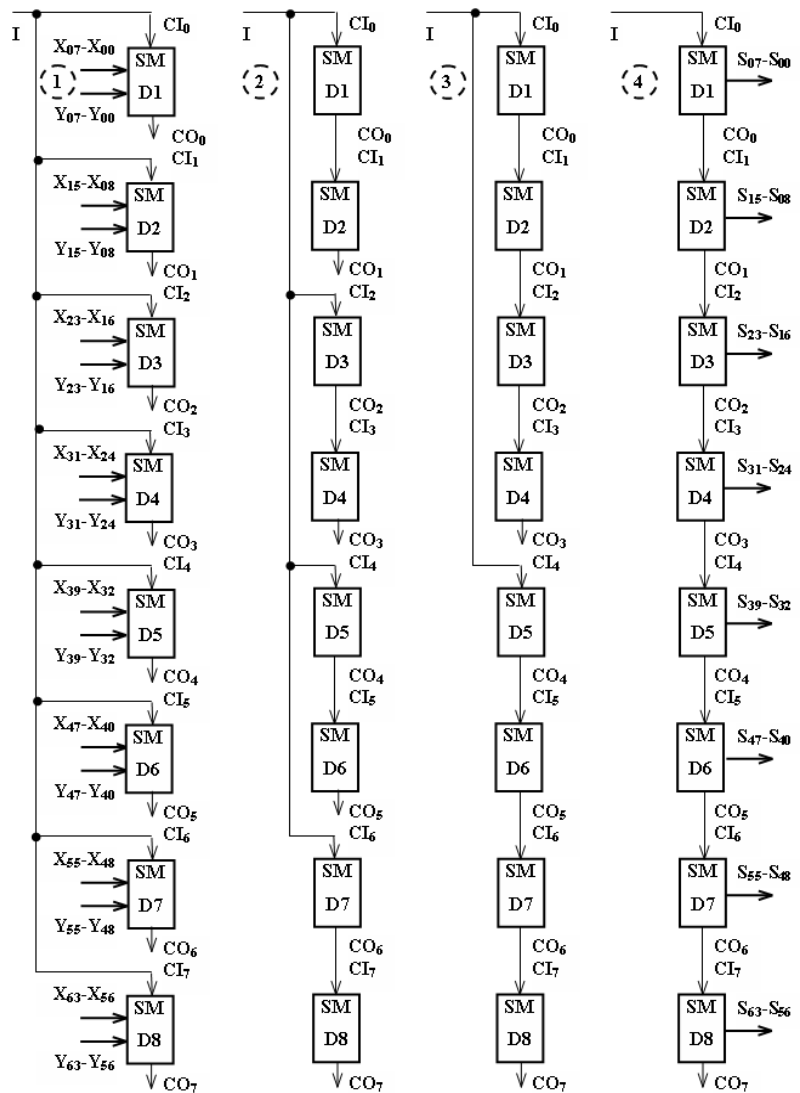


Рис. 5. Варіанти обчислювача операційного пристрою MMX розширення

від елементів пакету при додаванні дорівнює значенню перенесення зі старшого розряду елементу пакету, а при відніманні – оберненому значенню перенесення зі старшого розряду.

Вісім суматорів D1-D8 утворюють фізичну основу для формування пакету суми (рис. 6).

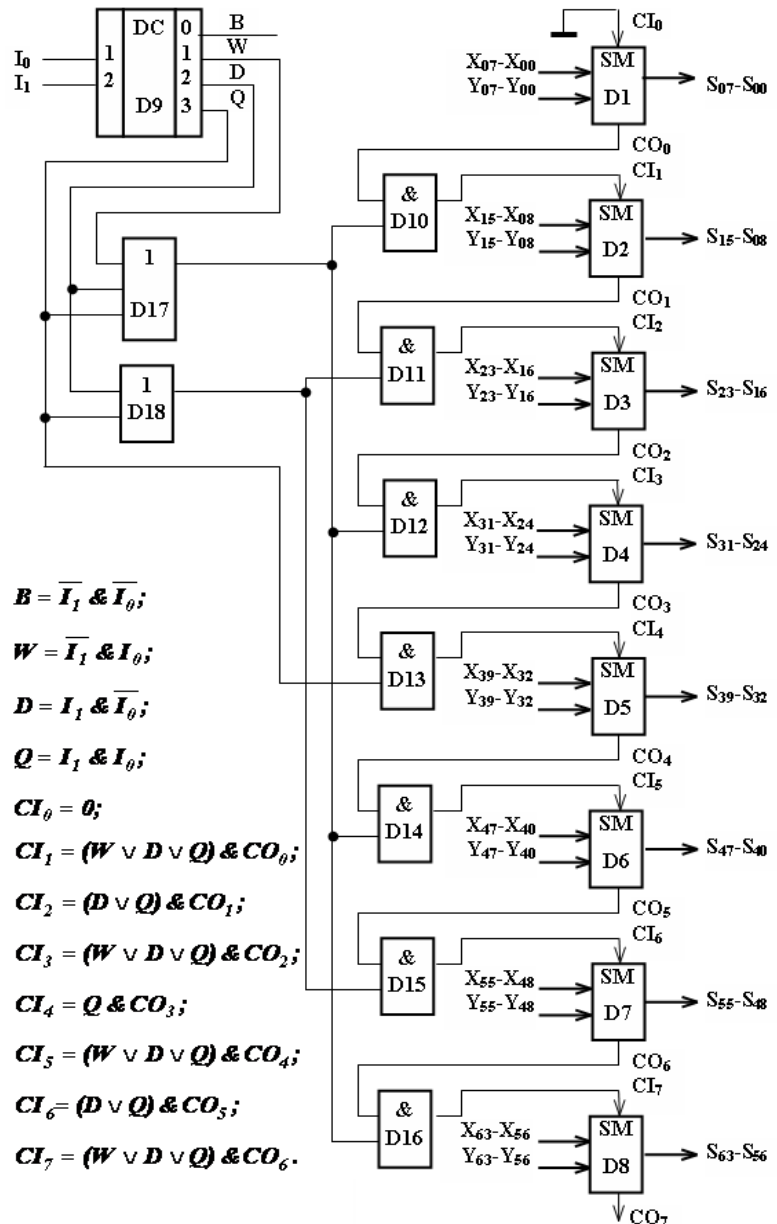
Зв'язок між байтами суматорів по ланцюгам вихідне-вхідне перенесення реалізовано через клапани D10-D16. Двохрозрядний код $I_1 I_0$ з тіла команди задає тип елемента пакета В (Byte), W(Word), D(Double word), Q(Quart word). Ознаки В, W, D, Q, які формує декодер D9, складають керуючу дію на клапани розповсюдження міжбайтних перенесень. Клапан D17 формує сигнал ознаки виконання пакетного додавання елементів слів, подвійних слів, зчетверених слів. Вихід клапану D18 сигналом високого рівня сигналізує про додавання пакетів з елементами подвійного слова.

Якщо елементами є байти, то дешифратор генерує ознаки В=1, W=0, D=0, Q=0. Усі клапани розповсюдження міжбайтного перенесення блокуванні, тому на їх виходах присутні низькі рівні, що є умовою рівності нулю всіх вхідних перенесень. На схемному позначенню однорозрядний суматор спрощено, так як вилучені в кожному розряді мультиплектори та не показані ланцюги формування логічних функцій.

Вхідне перенесення для молодшого байту на схемі дорівнює нулю. На практиці використання схеми суматора перенесення входу дорівнює керуючому сигналу **I**, який при додаванні дорівнює нулю.

Віднімання, як і додавання, виконуються на одній основі та реалізуються в типовому суматорі. При цьому вхідне перенесення повинно мати нульове значення при додаванні та одиничне при відніманні. Для вибору значення вхідного перенесення. На рис. 7 приведена схема формування перенесень в старші байти суматора, яка побудована згідно з логічними рівняннями, які знаходяться неподалік схеми. Сам суматор відсутній, оскільки він є типовим. Кожна однорозрядна схема суматора отримує своє вхідне перенесення та сприймає і ураховує вихідне перенесення від молодшого байтного суматора.

Вхідне перенесення самого молодшого суматора байту (для усього повного суматора) дорівнює



$$\begin{aligned}
 B &= \bar{I}_1 \& \bar{I}_0; \\
 W &= \bar{I}_1 \& I_0; \\
 D &= I_1 \& \bar{I}_0; \\
 Q &= I_1 \& I_0; \\
 CI_0 &= 0; \\
 CI_1 &= (W \vee D \vee Q) \& CO_0; \\
 CI_2 &= (D \vee Q) \& CO_1; \\
 CI_3 &= (W \vee D \vee Q) \& CO_2; \\
 CI_4 &= Q \& CO_3; \\
 CI_5 &= (W \vee D \vee Q) \& CO_4; \\
 CI_6 &= (D \vee Q) \& CO_5; \\
 CI_7 &= (W \vee D \vee Q) \& CO_6.
 \end{aligned}$$

Рис.6. Архітектура пакетного додавання в пристрої MMX розширення

$CI_0 = I$ значенню керуючого сигналу, що спричинює формуванню нуля чи одиниці для додавання чи віднімання пакетів даних відповідно. Присутність дешифратора забезпечує процес формування ознак відповідних елементів пакету та утворює керуючу дію на клапани **D7-D13** з метою видачі істинного вхідного перенесення

3. Будова шифратора при насиченні елементів пакету в MMX розширенні

Шифратор насичення (рис. 8) тестує ознаки насичення після додавання чи віднімання пакетів з відповідними елементами. Згідно з попередніми тлумаченнями можна скласти два логічних рівняння, які описують молодший байт пакету

$$\begin{aligned}
 P_{(6..0)} &= [(CO_0 \oplus I) \& U \vee \\
 &\vee OVR_0 \& \overline{CO_0 \oplus I} \& \overline{U}] \& B \vee \\
 &\vee [(CO_1 \oplus I) \& U \vee \\
 &\vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& W, \quad (10)
 \end{aligned}$$

$$\begin{aligned}
 P_7 &= [(CO_0 \oplus I) \& U \vee \\
 &\vee OVR_0 \& (CO_0 \oplus I) \& \overline{U}] \& B \vee \\
 &\vee [(CO_1 \oplus I) \& U \vee \\
 &\vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& W.
 \end{aligned}$$

Система рівнянь урахує поведінку молодшого байту не тільки при елементах байт, а при словах. Старший байт описується подібною системою логічних рівнянь, як показано унизу

$$\begin{aligned}
 P_{(14..8)} &= [(CO_1 \oplus I) \& U \vee \\
 &\vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& B \vee \\
 &\vee [(CO_1 \oplus I) \& U \vee \\
 &\vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& W, \quad (11)
 \end{aligned}$$

$$\begin{aligned}
 P_{15} &= [(CO_1 \oplus I) \& U \vee \\
 &\vee OVR_1 \& (CO_1 \oplus I) \& \overline{U}] \& B \vee \\
 &\vee [(CO_1 \oplus I) \& U \vee \\
 &\vee OVR_1 \& (CO_1 \oplus I) \& \overline{U}] \& W.
 \end{aligned}$$

Незважаючи, якої розрядності елемент, байт чи слово, знак результату пакетного додавання або віднімання дорівнює перенесенню CO_1 при умові переповнення (насичення) $OVR_1=1$. Усі розряди старшого байту, виключаючи знаковий, мають протилежне значення стану перенесення CO_1 .

Число логічних ступнів складає три. У першій формуються терми за модулем два ($CO_1 \oplus I$). Друга ступінь (D3-D6) урахує керуючу ознаку насичення U (Unsigned), третя ступінь (D7-D10) аналізує дві ознаки розрядності B, W .

Для формування пакету елементів результату необхідно використовувати ще три подібних схем шифратора з відповідними входами перенесень. Кожна схема шифратора тестує ознаки насичення OVR_i, CO_i , які передаються від відповідних схем. І ще є одна обставина в будові шифратора. Шифратор повинен урахувати клас арифметики – циклічна чи з насиченням. Для розпізнавання арифметичного класу використовується керуючий внутрішній сигнал A , формування якого залежить від типу класу команди. Загальні виходи суматора (рис. 9) описуються рівняннями

$$T_{(15..0)} = S_{(15..0)} \& A \vee P_{(15..0)} \& \overline{A}. \quad (12)$$

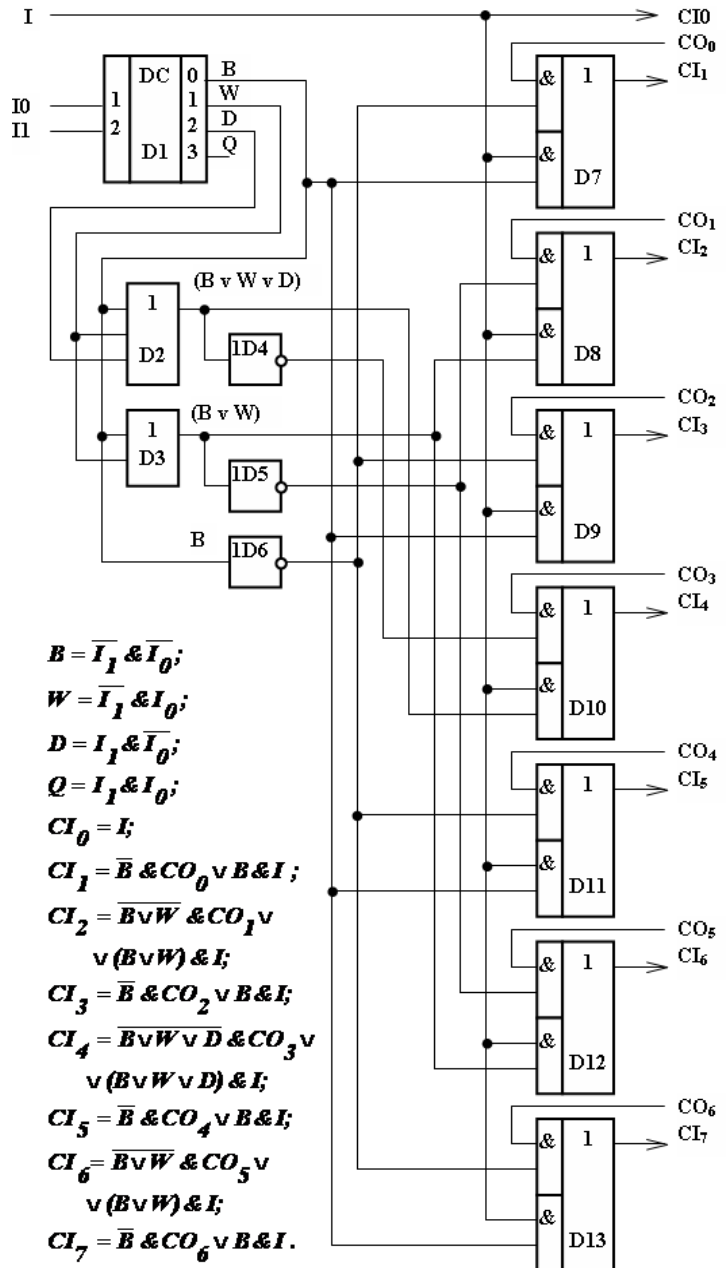


Рис. 7. Формування перенесень при додаванні та відніманні в пристрої MMX розширення

Схема повного шифратора MMX розширення складається з чотирьох аналогічних та має загальні входи управління.

Оригінальність будови шифратора полягає в керованій видачі результату насичення. Вхідними сигналами є сформовані керуючим пристроєм мікропроцесора умови I, U, B, W та ознаки перенесення CO_i і переповнення OVR_i в поточних байтах пакетів.

Для передачі на вхід внутрішнього мультиплексора функції T , яка урахує джерело байтів чи слів (рис. 10), необхідно використовувати спеціальний вентиль. Джерелом елемента пакету є суматор S , якщо відсутнє насичення, і шифратор P , якщо є насичення.

$$\begin{aligned}
 T_{(7-0)} = & ((CO_0 \& U \vee OVR_0 \& \bar{U}) \& P_{(7-0)} \vee \\
 & \vee (\bar{CO}_0 \& U \vee \bar{OVR}_0 \& \bar{U}) \& S_{(7-0)}) \& B \vee \\
 & \vee ((CO_1 \& U \vee OVR_1 \& \bar{U}) \& P_{(7-0)} \vee \\
 & \vee (\bar{CO}_1 \& U \vee \bar{OVR}_1 \& \bar{U}) \& S_{(7-0)}) \& W.
 \end{aligned}
 \tag{13}$$

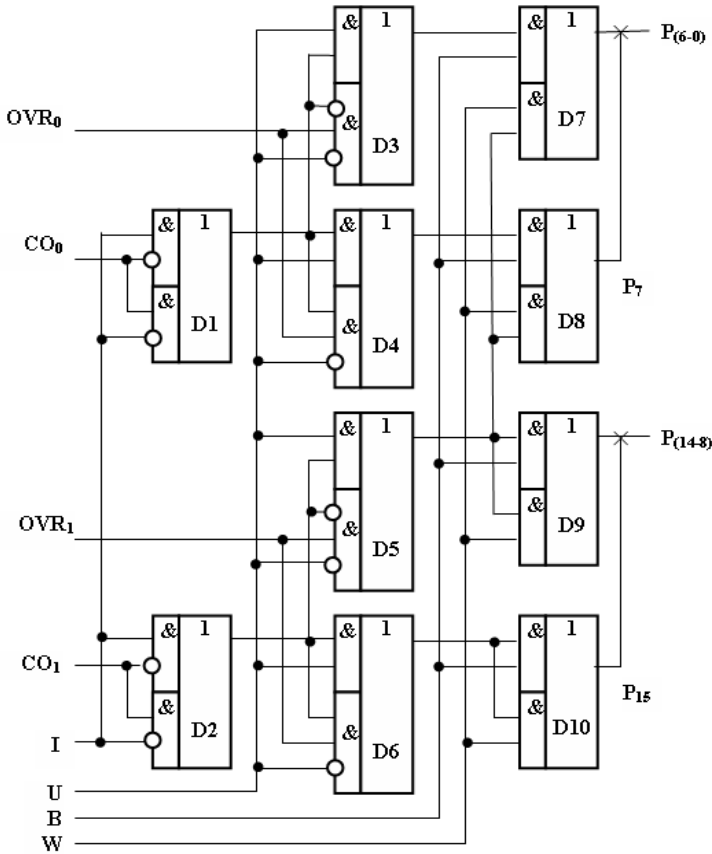


Рис. 8. Шифратор насичення для MMX розширення

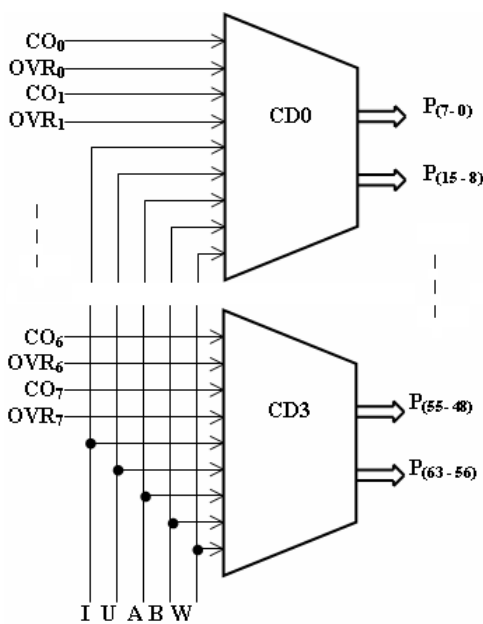


Рис. 9. Входи шифратора насичення MMX розширення

Рівняння урахує ознаки незнакового насичення CO_0 , знакового OVR_0 , розрядність B, W елементів пакету, тип насичення U , джерело елемента P, S . Для старшого байту рівняння формування насичення, як знакового так і беззнакового, буде іншим та ще складнішим.

$$\begin{aligned}
 T_{(15-8)} = & ((CO_1 \& U \vee \\
 & \vee OVR_1 \& \bar{U}) \& P_{(15-8)} \vee \\
 & \vee (\bar{CO}_1 \& U \vee \bar{OVR}_1 \& \bar{U}) \& \\
 & \& S_{(15-8)}) \& B \vee ((CO_1 \& U \vee \\
 & \vee OVR_1 \& \bar{U}) \& P_{(15-8)} \vee \\
 & \vee (\bar{CO}_1 \& U \vee \bar{OVR}_1 \& \bar{U}) \\
 & \& S_{(15-8)}) \& W = ((CO_1 \& U \vee \\
 & \vee OVR_1 \& \bar{U}) \& P_{(15-8)} \vee \\
 & \vee (\bar{CO}_1 \& U \vee \bar{OVR}_1 \& \bar{U}) \& \\
 & \& S_{(15-8)}) \& (B \vee W).
 \end{aligned}
 \tag{14}$$

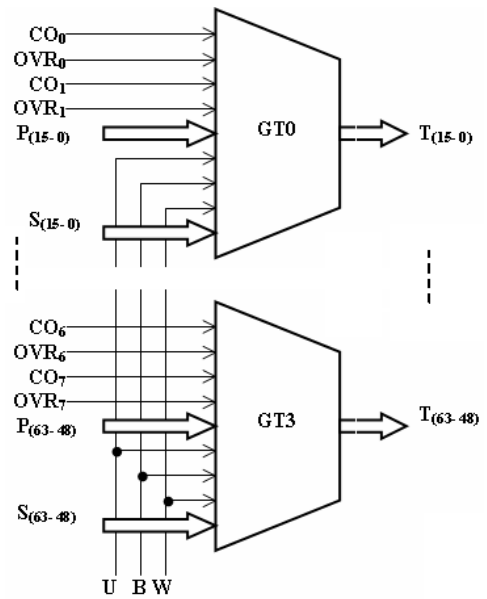


Рис. 10. Формувач комбінованого пакету MMX розширення

При елементах з байтною структурою, як і зі структурою слова, ознаками насичення є сигнали CO_1, OVR_1 беззнакового, знакового насичення відповідно. При виникненні насичення джерелом елемента пакету є шифратор, при відсутності насичення – джерелом є суматор.

Перша логічна ступінь урахує тип насичення і залежно від ознак спрацьовують відповідні клапани логіки D1-D4. Друга визначає по ознакам B, W розрядність елементів, які комутуються на вихід. Третя ступінь формує сигнали керування, які передають байти чи слова від певних джерел.

Побудована схема клапана формування комбінованого пакету (рис. 11) забезпечує передачу в мультиплексор пакету, результат якого є істинним з урахуванням сформованих кодів насичення. Схема чотирьох ступенева в плані наявності пос-

лідного включення логічних елементів. Вентиль комутує від двох джерел байти або слово на один напрямок – в мультиплексор для виведення в інші пристрої операційного блоку.

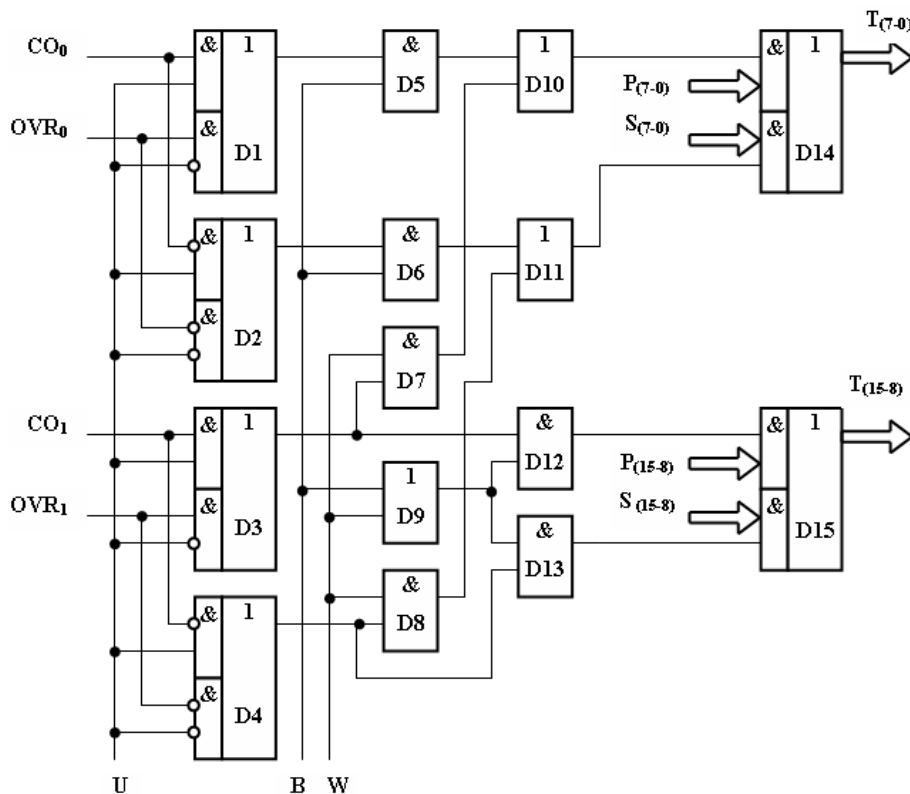


Рис. 11. Модуль формувача комбінованого пакету MMX розширення

4. Будова логічного суматора MMX розширення

Суматор MMX розширення складніший від класичного суматора головного процесора за рахунок наявності допоміжних вузлів. Логічні схеми LS1 та LS3 складають ланцюг елементів паралельного розповсюдження мікрозрядних перенесень, які виникають в суматорі при додаванні. Реально суматор комбінаційного типу поділений на вісім груп розрядів з метою збільшення швидкодії його роботи. Мікрозрядні перенесення кожної групи є паралельними, а перенесення між групами розрядів також розповсюджуються по паралельних ланцюгах. Кожен розряд суматора (рис. 12) описується системою логічних рівнянь

$$\begin{aligned}
 C_i &= K_i \vee D_i K_{(i-1)} \vee D_i D_{(i-1)} K_{(i-2)} \vee \dots \\
 &\vee D_i D_{(i-1)} D_{(i-2)} \dots D_2 K_1 \vee D_i D_{(i-1)} D_{(i-2)} \dots \\
 &\dots D_1 K_0 \vee D_i D_{(i-1)} D_{(i-2)} \dots D_1 D_0 C_1, \\
 S_i &= M_i \oplus C_{(i-1)}.
 \end{aligned} \quad (15)$$

З метою спрощення будови схеми логічного суматора складові операційні пристрої умовно позначені. Кожне таке позначення є дискретною схемою, яка виконує певну функцію. Використання мультиплексора в будові суматора забезпечує спрощення пристрою при виконанні в MMX розширенні арифметичних та логічних команд.

Інша схема LS2 формує три логічні функції K_i , D_i , M_i , які необхідні при виконанні пакетних логічних команд PAND/POR/PXOR mm1,mm2/m64 [1]. Функції кон'юнкції та диз'юнкції використовуються ще схемою паралельного перенесення, а функція нерівнозначності M_i сумісно з функцією перенесення з молодшого розряду $C_{(i-1)}$ формують на виході напівсуматора M2 суму S_i в класі циклічної арифметики.

Схема LS4 виконує функцію шифратора насичення. Керуючі сигнали I,U,W,B визначаються командою, яка поточно виконується в комп'ютері. Схема урахує, крім ознаки знакового насичення OVR₀, Шифратор насичення будується згідно з системою логічних рівнянь:

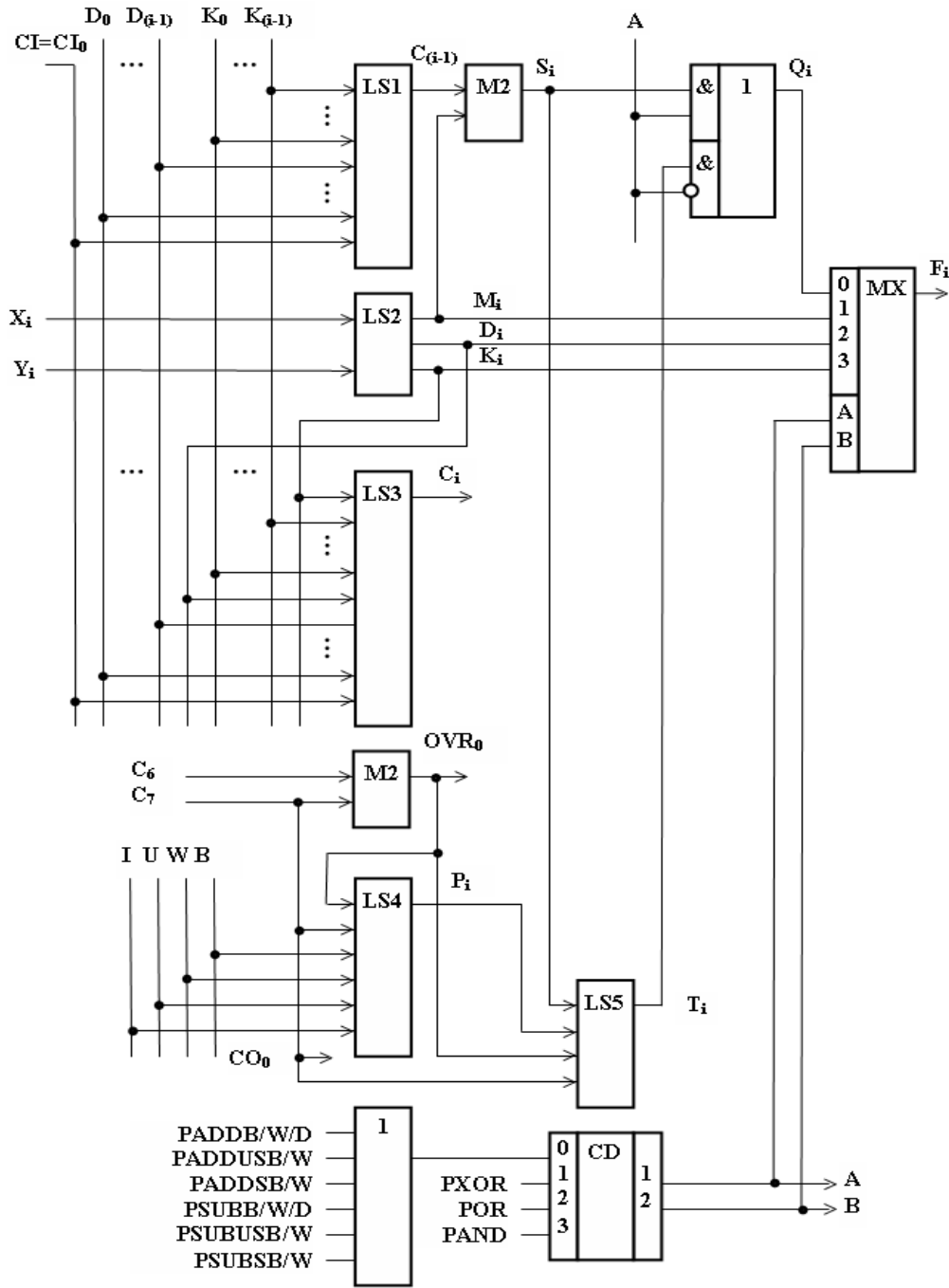


Рис. 12. Один розряд логічного суматора MMX розширення

$$\left\{ \begin{aligned}
 P_{(6..0)} &= [(CO_0 \oplus I) \& U \vee OVR_0 \& \overline{CO_0 \oplus I} \& \overline{U}] \& B \vee \\
 &\quad \vee [(CO_1 \oplus I) \& U \vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& W, \\
 P_7 &= [(CO_0 \oplus I) \& U \vee OVR_0 \& (CO_0 \oplus I) \& \overline{U}] \& B \vee \\
 &\quad \vee [(CO_1 \oplus I) \& U \vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& W, \\
 P_{(14..8)} &= [(CO_1 \oplus I) \& U \vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& B \vee \\
 &\quad \vee [(CO_1 \oplus I) \& U \vee OVR_1 \& \overline{CO_1 \oplus I} \& \overline{U}] \& W, \\
 P_{15} &= [(CO_1 \oplus I) \& U \vee OVR_1 \& (CO_1 \oplus I) \& \overline{U}] \& B \vee \\
 &\quad \vee [(CO_1 \oplus I) \& U \vee OVR_1 \& (CO_1 \oplus I) \& \overline{U}] \& W.
 \end{aligned} \right.$$

Система урахує розрядність елементів пакету WB. Враховується також арифметична дія додавання (I=0) чи віднімання (I=1) та тип насичення – беззнакове (U=1) та знакове (U=0). При беззнаковому насиченні по умові переповнення CO_j=1 вгору, яке виникає після додавання, в усі розряди байту чи слова записуються одиниці, а при насиченні вниз, що можливо тільки після віднімання, в розряди елемента пакету записуються нулі.

Знакове насичення схоже на беззнакове з різницею в формуванні знаку результату по іншій

умові $OVR_{(j+1)}=1$. При додаванні насичення можливе для елементів з подібними знаками, а для віднімання насичення виникає (не завжди) в елементах результату, операндами яких є протилежні знакові величини.

Комутатор пакетів даних в MMX розширенні представляє логічна схема LS5, функція якої передача на вихід T_i байту чи слова від одного із двох джерел. Першим джерелом байту чи слова є класичний суматор з функцією на виході S_i , іншим джерелом є шифратор насичення з вихідною функцією P_i . Комутатор тестує для кожного елементу пакету ознаку знакового та беззнакового насичення. У випадку насичення в певних елементах пакету результату шифратор насичення сформує для цих елементів код насичення P_i , який комутатором LS5 передається на вихід. Для елементів пакету результату, де відсутнє насичення, комутатор передає на вихід елемент S_i , який не має насичення. Робота комутатора елементів пакету результату описується системою логічних рівнянь

$$\left\{ \begin{array}{l} T_{(7-0)} = ((\overline{CO_0} \& U \vee \overline{OVR_0} \& \overline{U}) \& P_{(7-0)} \vee \\ \vee (\overline{CO_0} \& U \vee \overline{OVR_0} \& \overline{U}) \& S_{(7-0)}) \& B \vee \\ \vee ((\overline{CO_1} \& U \vee \overline{OVR_1} \& \overline{U}) \& P_{(7-0)} \vee \\ \vee (\overline{CO_1} \& U \vee \overline{OVR_1} \& \overline{U}) \& S_{(7-0)}) \& W, \\ T_{(15-8)} = ((\overline{CO_1} \& U \vee \overline{OVR_1} \& \overline{U}) \& P_{(15-8)} \vee \\ \vee (\overline{CO_1} \& U \vee \overline{OVR_1} \& \overline{U}) \& S_{(15-8)}) \& (B \vee W). \end{array} \right.$$

Система, як це було для шифратора насичення, урахує розрядність елементів пакету (байт чи слово), тип насичення (знакове чи беззнакове) та ознаку насичення для даного типу. Не враховується обчислювальна дія (додавання чи віднімання) тому, що в обох випадках ознака насичення співпадають. Передостаннім логічним ступенем є керований клапан трансляції пакету елементів результату також від двох джерел. З одного боку це є класичний суматор для обчислень в класі циклічної арифметики з вихідною функцією S_i , а з іншої сторони виступає у якості джерела пакету комутатор з вихідною функцією T_i , яка формується обчисленнями в класі арифметики з насиченням. Блок клапанів описується логічним рівнянням

$$Q_i = S_i \& A \vee T_i \& \overline{A}. \quad (16)$$

Внутрішній пристрій управління формує сигнал типу арифметики A . Для циклічної арифметики $A=1$ та навпаки $A=0$ для насиченої арифметики.

Велика наявність логічних елементів для будови пристрою MMX розширення відноситься до оточення класичного суматора, який використовується, як відомо, пристроєм співпроцесора FPU головного процесора.

Висновки

Структура медійного MMX розширення базового мікропроцесора лишається прихованою, а схемне накопичення складових операційних пристроїв комбінаційного і накопичувального типів підпорядковане до рівня типових дискретних схем. Відноситься це до будови схеми розповсюдження паралельного перенесення в суматорі та складу самого суматора, формувача шифратора насичення результату обчислення та комутатора вихідних даних MMX розширення.

Програмна частина складається з пакету програмного забезпечення, яке знаходиться в окремій директорії комп'ютера. Результати роботи програм приведені у вигляді комп'ютерного екрану з відповідними повідомленнями (рис. 13). Додаються та віднімаються елементи пакетів подвійних слів в класі циклічної арифметики (padd mm0, mm7), елементи пакетів слів з беззнаковим (paddusw mm0, mm7) насиченням та елементи пакетів байтів зі знаковим насиченням (paddsb mm0, mm7) [3]. Виникнення верхнього та нижнього насичення після арифметичних обчислень виділені пунктиром.

```

ADDITION MMX0:=(MMX0)+(MMX7) START
PADD mm0,mm7
Packed Addition Double word
Pack_X: E9 A6 50 A4 4F 82 D5 C6 H
Pack_Y: 37 AA 56 C8 BA F4 76 3D H
Pack_Z: 21 50 A7 6C 0A 77 4C 03 H

PADDUSW mm0,mm7
Packed Addition Unsigned
with Saturation Word
Pack_X: E9 A6 50 A4 4F 82 D5 C6 H
Pack_Y: 37 AA 56 C8 BA F4 76 3D H
Pack_Z: FF FF A7 6C FF FF FF FF H

PADDSB mm0,mm7
Packed Addition signed
with Saturation Bytes
Pack_X: E9 A6 50 A4 4F 82 D5 C6 H
Pack_Y: 37 AA 56 C8 BA F4 76 3D H
Pack_Z: 20 80 7F 80 09 80 4B 03 H

ADDITION MMX0:=(MMX0)+(MMX7) STOP

TECHNOLOGY MMX SUBTRACTION MMX0:=(MMX0)-(MMX7) THE PENTIUM PROCESSOR START

PSUBD mm0,mm7 ;Packed SUBtraction Double word
Pack_X: 11101001 10100110 01010000 10100100 01001111 10000010 11010101 11000110
Pack_Y: 00110111 10101010 00010110 11001000 10111010 11110100 01110110 00111101
Pack_Z: 10110001 11111100 00111001 11011100 10010100 10001110 01011111 10001001

PSUBUSW mm0,mm7;Packed SUBtraction Unsigned with Saturation Word
Pack_X: 11101001 10100110 01010000 10100100 01001111 10000010 11010101 11000110
Pack_Y: 00110111 10101010 00010110 11001000 10111010 11110100 01110110 00111101
Pack_Z: 10110001 11111100 00111001 11011100 00000000 00000000 01011111 10001001

PSUBSB mm0,mm7 ;Packed SUBtraction signed with Saturation Bytes
Pack_X: 11101001 10100110 01010000 10100100 01001111 10000010 11010101 11000110
Pack_Y: 00110111 10101010 00010110 11001000 10111010 11110100 01110110 00111101
Pack_Z: 10110010 11111100 00111010 11011100 01111111 10001110 10000000 10001001

TECHNOLOGY MMX SUBTRACTION MMX0:=(MMX0)-(MMX7) THE PENTIUM PROCESSOR STOP

```

Рис. 13. Наявність насичень після додавання та віднімання у MMX розширенні

Надана наукова стаття призначення для використання запропонованої методики в своїх дослідженнях науковцями та студентами вищих навчальних закладів з комп'ютерних спеціальностей. Подані в пакеті програми в текстовій формі користувачем (читачем) легко і просто змінюються для певного призначення.

Література

1. Брей, Б. *Микропроцессоры INTEL [Текст] / Б. Брей.* — СПб.: БХВ-Петербург, 2005. — 1328 с.
2. Григорьев, В.Л. *Программирование однокристалльных микропроцессоров [Текст] / В.Л. Григорьев.* — М.: Энергоатомиздат, 1987. — 286 с.
3. Ерёмин, Е.А. *Популярные лекции об устройстве компьютера [Текст] / Е.А. Ерёмин.* — СПб.: БХВ-Петербург, 2003. — 272 с.

Надійшла до редакції 28.02.2013, розглянута на редколегії 13.03.2013

Рецензент: д-р техн. наук, доц., проф. каф. комп'ютерних систем і мереж А.В. Горбенко, Національний аерокосмічний університет ім. М.С. Жуковського «ХАІ», Харків, Україна.

ПОСТРОЕНИЕ УСТРОЙСТВ MMX РАСШИРЕНИЯ БАЗОВОГО МИКРОПРОЦЕССОРА

А.М. Бездетко

Проведено исследование построения операционного компьютерного оборудования, которое размещено в мощном микропроцессоре, которое позволяет увидеть скрытые тонкости схемной реализации определенных устройств. Для анализа операционных элементов и построения подобных, использован аппарат алгебры логики. Построение систем логических уравнений базируется на основе типичных алгоритмов, которые используются при схемной реализации нужных функций. Спроектировано вычислительное устройство MMX расширения мощного микропроцессора с функцией главного процессора. Результаты работы программ подтверждают целесообразность полученных схемных вариантов, согласно которым построены устройства главного микропроцессора.

Ключевые слова: знаковое и беззнаковое насыщение, циклическая та арифметика с насыщением, мультиплексор логического сумматора, операционное устройство мультимедийного расширения.

CONSTRUCTION OF DEVICES OF MMX OF EXPANSION BASE MICROPROCESSOR

А.М. Bezdetko

Construction of operating computer equipment which is placed in the bowels of the earth of powerful microprocessor is researched. It gives possibility to see the hidden subtleties of scheme realization of certain devices. For the analysis of operating elements and construction similar of Boolean algebra is used. Structure of the systems of logical equalizations is based on the typical algorithms which are used for scheme realization of necessary functions. The computing device of MMX expansion of powerful microprocessor is projected with the function of master processor. The programs performances assert expedience of the gotscheme variants for main microprocessor.

Keywords: sign and unsigned satiation, cyclic that arithmetic with a satiation, multiplexes of the logical summarizing, operating device of multimedia expansion.

Бездітко Олексій Михайлович – викладач методист комп'ютерних дисциплін, спеціаліст вищої категорії, Харківський радіотехнічний технікум, Харків, Україна, e-mail: Bezdetko.am@yandex.ru.