

УДК 621.3

О.М. БЕЗДІТКО

Харківський радіотехнічний технікум, Україна

БУДОВА ОПЕРАЦІЙНИХ ПРИСТРОЇВ ПРОЦЕСОРА МІКРОАРХІТЕКТУРИ i80x86 ТА ЇХ ВПЛИВ НА ПРАПОРИ СТАНУ

Пропонована розробка поділена на три розділи. Перший розділ дозволяє читачу побачити авторське відкриття будови обчислювального обладнання головного мікропроцесора на базі існуючого арифметичного пристрою в регістровому оточенні та допоміжної схемної логіки. Другий розділ, не менш цікавий в питанні використання алгебри логіки та в будові гіпотетичного комбінаційного пристрою головного мікропроцесора, у якому від певних джерел інформації формуються прапори стану, які мають призначення глобального використання. Теоретичні положення підтримані практичною реалізацією у вигляді прикладної програми по дослідженню прапорів стану. Зацікавленість читача по складу третього розділу, думаю, безперечно. Теоретично автором доведена та наявне синтезована внутрішня гіпотетична схема тестування глобальних прапорів мікропроцесора при виконанні команд умовного галуження. Усе це відноситься до новацій та є науковим відкриттям шляхів синтезу та аналізу внутрішнього обладнання мікропроцесорів комп'ютерних систем.

Ключові слова: дескриптор сегмента, формування вхідного перенесення, обчислення вихідного перенесення, мультиплексор, прапори стану, операційний пристрій мікропроцесора, регістр статусу.

Вступ

Розробка та будова оригінальних операційних пристроїв головного мікропроцесора лінії PENTIUM комп'ютера є цікавим винаходом. По перше, подібний матеріал відсутній в існуючих джерелах інформації. По друге, пропонується методика розробки складних пристроїв потужного мікропроцесора, які розробники інших держав по відомим причинах приховали від користувача. Впровадження таких методик в навчальний процес та використання в дослідницьких вітчизняних розробках можливо буде доцільним в нашій державі. По третє, використання апарату алгебри логіки в будові пристроїв та програмуванні тестових задач дозволило спростити та оптимізувати архітектуру програмно керуемого обчислювального пристрою головного мікропроцесора.

Науковість пропонованої розробки полягає в використанні математичного апарату алгебри логіки при мінімізації логічних функцій та синтезі внутрішньої комбінаційної логіки формування в головному мікропроцесорі прапорів стану. Використання мінімізуючих карт Карно дозволило синтезувати схему тестування в мікропроцесорі ознак командами галуження, що є актуальною новацією.

1. Склад операційного обладнання базового мікропроцесорів

Операційна частина потужних сучасних мікропроцесорів являє собою дуже складний пристрій

числової програмної обробки дискретної інформації. Для будови блоків операційного пристрою використовуються типові операційні елементи: регістри, суматори, дешифратори, мультиплексори і демультіплексор та інші вузли обчислювальної техніки.

Внутрішня двох направлена магістраль забезпечує обмін даними між модулями пристрою. Такими модулями є регістровий файл з багатьма функціями розширення розрядної сітки, комбінаційний арифметико логічний пристрій (АЛП) з фіксованою розрядністю вісім, шістнадцять або тридцять два та регістровим оточенням тимчасового збереження даних. Програмно керований обмін між регістрами файлу внутрішнє чи з модулем АЛП передбачено виконується байтами, словами або подвійними словами. Спеціалізація регістрів файлу відома. Крім тимчасового збереження даних регістри адаптовані на адресування зовнішньої пам'яті. Обладнання АЛП комбінаційного типу та його регістрове оточення складають по суті потужний обчислювач головного мікропроцесора.

2. Будова схеми формування в головному мікропроцесорі прапорів стану

Після виконання арифметико логічної команди результат зберігається в приймачі, а також фіксується в регістрі арифметичного пристрою RG_X на місці першого операнду. Цей регістр передає свій стан в логіку формування прапорів LGF –(LoGical Flags). Керуюча дія від інших пристроїв мікропроцесора сигналами на лініях I, D, W забезпечує формування прапорів стану.

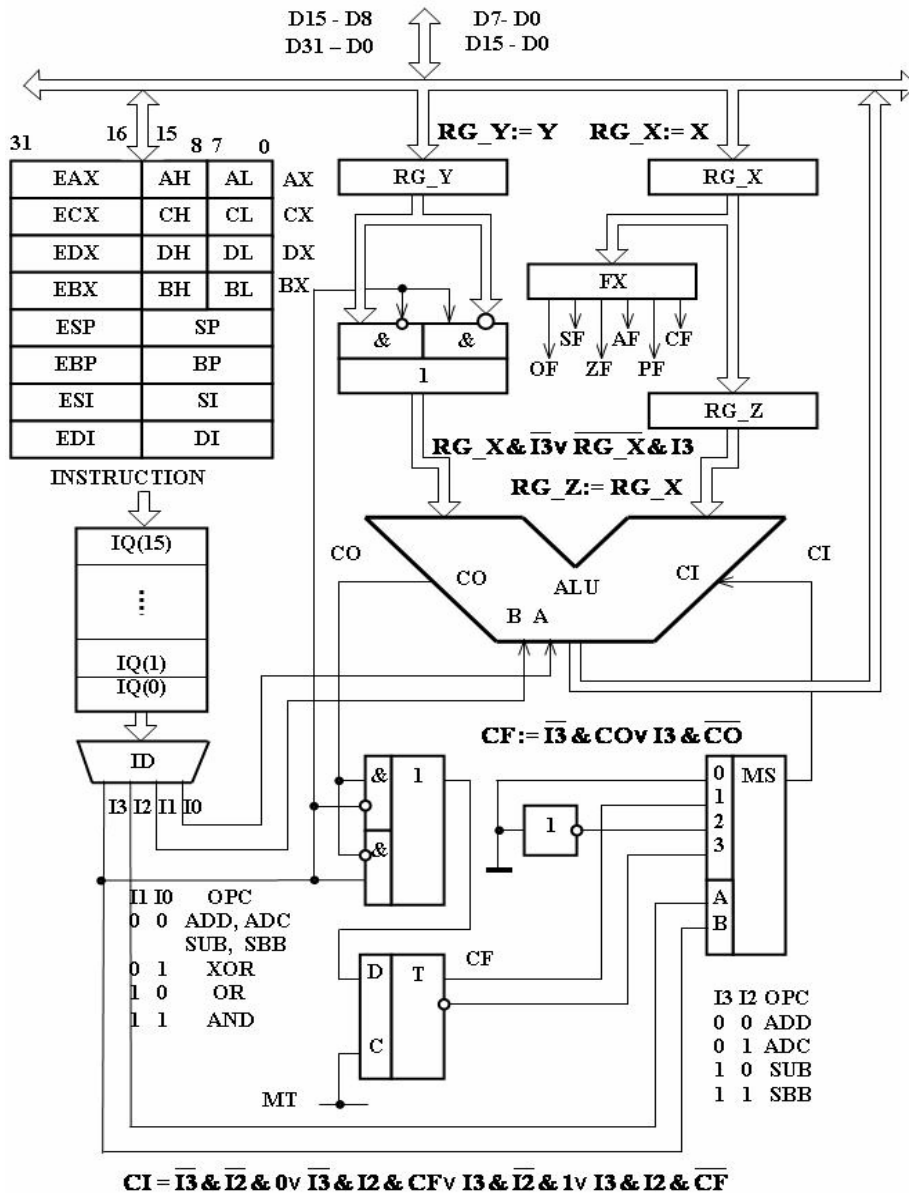


Рис.1. Арифметико логічний пристрій базового мікропроцесора

Сформовані арифметичні прапори в кінці виконання поточної команди фіксуються в реєстрі **EFLAGS** для збереження до наступної модифікації прапорів.

Розрядність даних, з якими маніпулюють команди програм коливається в межах 8, 16, 32 біти. Мається на увазі обробки в комп'ютері цілих чисел зі знаком та незначкові величини.

$$SF = (\bar{D} \& \bar{W})D_7(\bar{D} \& W) \& D_{15} \vee \vee (D \& \bar{W}) \& D_7 \vee (D \& W) \& D_{31}. \quad (1)$$

При 16-ти розрядних операндах прапор знака дорівнює старшому розряду результату **D₁₅** або **D₇**. Якщо розрядність складає 32-ва біти, то прапор копіює відповідно розряди **D₃₁** або **D₁₅**.

Ідеологія формування прапора нуля схожа з попередньою, але кон'юнкція заперечень розрядів

байту, слова, подвійного слова змінена на заперечення диз'юнкції прямих значень цих розрядів відповідно (формула де Моргана)

$$ZF = (\bar{D} \& \bar{W}) \& \overline{D_7 \vee \dots \vee D_1 \vee D_0} \vee \vee (\bar{D} \& W) \& \overline{D_{15} \vee \dots \vee D_9 \vee D_8} \& \& \overline{D_7 \vee \dots \vee D_1 \vee D_0} \vee \vee (D \& \bar{W}) \& \overline{D_7 \vee \dots \vee D_1 \vee D_0} \vee \vee (D \& W) \& \overline{D_{31} \vee \dots \vee D_{25} \vee D_{24}} \& \& \overline{D_{23} \vee \dots \vee D_{17} \vee D_{16}} \& \& \overline{D_{15} \vee \dots \vee D_9 \vee D_8} \& \& \overline{D_7 \vee \dots \vee D_1 \vee D_0}. \quad (2)$$

Прапор переповнення розрядної сітки ураховує перенесення в старший знаковий та зі старшого

розряду. Неузгодженість таких перенесень відноситься до розрядності слів, подвійних та байтів

$$\begin{aligned} OF &= (\overline{D} \& \overline{W}) \& (C_7 \oplus C_6) \vee \\ &\vee (\overline{D} \& W) \& (C_{15} \oplus C_{14}) \vee \\ &\vee (D \& \overline{W}) \& (C_7 \oplus C_6) \vee \\ &\vee (D \& W) \& (C_{31} \oplus C_{30}). \end{aligned} \quad (3)$$

Прапор основного перенесення при додаванні дорівнює вихідному перенесенню, а при відніманні дорівнює запереченню вихідного перенесення. Тому в його формуванні повинен бути керуючий біт **I** - (**Instruction ADD/not SUB**), стан якого визначає певну операцію. Така лінія в мікропроцесорі присутня внутрішнє на виході дешифратора команд

$$\begin{aligned} CF &= (\overline{I} \& \overline{D} \& \overline{W}) \& C_7 \vee (\overline{I} \& \overline{D} \& W) \& C_{15} \vee \\ &\vee (\overline{I} \& D \& \overline{W}) \& C_7 \vee (\overline{I} \& D \& W) \& C_{31} \vee \\ &\vee (I \& \overline{D} \& \overline{W}) \& \overline{C}_7 \vee (I \& \overline{D} \& W) \& \overline{C}_{15} \vee \\ &\vee (I \& D \& \overline{W}) \& \overline{C}_7 \vee (I \& D \& W) \& \overline{C}_{31}. \end{aligned} \quad (4)$$

$$AF = \overline{I} \& C_3 \vee I \& \overline{C}_3 = C_3 \oplus I$$

Формування допоміжного перенесення під керівництвом сигналу на тій же командній лінії **I** визначається аналітично. Прапор парності завжди визначається станом в молодшому байті результату, не зважаючи на розрядність, яка перевищує один байт

$$PF = \overline{D_7} \oplus \dots \oplus D_1 \oplus D_0. \quad (5)$$

Отримані логічні рівняння легко реалізуються в комбінаційному базисі з використанням базової логіки та мультиплексорів. На рис. 2 приведена спрощена схема формування прапорів в базисі мікроархітектури процесорів **Pentium**. Як видно зі схеми на верхньому рисунку, сформована керуюча дія трьох прапорів керування впливає на роботу чотирьох мультиплексорів, на виходах яких формуються певні прапори стану задачі. Керуюча дія прапорів **D, W** на входах мультиплексорів **D1, D6, D21** ураховує розмірність даних та розрядність певної розрядності на шляху формування прапорів **SF, OF, ZF** відповідно. Прапор **CF** формується на виході більш складнішого мультиплексора, який має третій вхід керування, на який подається сигнал **I** урахування арифметичної дії. Прапор **AF** формується елементом нерівнозначності змінних перенесення **C3** та керування **I**.

3. Синтез та аналіз схеми тестування прапорів командами галуження

Базова система групи команд умовного галуження, які тестують виникаючу ознаку певного критерію після порівняння незначних чисел. Таких команд в системі, як і критеріїв, шість. Порівняння значних чисел, як і незначних, аналогічне с точки

зори роботи мікропроцесора. Для відображення усіх можливих критеріїв результату порівнянь достатньо аналізу трьох прапорів стану **SF, ZF, OF**.

1: S_X S_Y = 00

E: If (X - Y) = 0 then SF_ZF_OF = 010

G: If (X - Y) > 0 then SF_ZF_OF = 000

L: If (X - Y) < 0 then SF_ZF_OF = 100

2: S_X S_Y = 11

E: If (X - Y) = 0 then SF_ZF_OF = 010

G: If (X - Y) > 0 then SF_ZF_OF = 000

L: If (X - Y) < 0 then SF_ZF_OF = 100

3: S_X S_Y = 01

G: If (X - Y) < 0 then SF_ZF_OF = 101

G: If (X - Y) > 0 then SF_ZF_OF = 000

4: S_X S_Y = 10

L: If (X - Y) < 0 then SF_ZF_OF = 100

L: If (X - Y) > 0 then SF_ZF_OF = 001

Завдяки визначеним трьом критеріям складається можливість в будові карти Карно, яка поєднує між собою усі три критерія, які показані в клітинах скорочено (рис. 3).

Критерій не більше і не дорівнює з мнемонікою **L / NGE**, альтернативно стверджує про істину суми за модулем два прапорів знаку **SF** та переповнення **OF**, які були сформовані при порівнянні. Знак критерію більше або дорівнює **NL / GE** з альтернативним вираженням не менше є запереченням суми за модулем два прапорів знаку та переповнення.

$$L / NGE = \overline{SF} \& OF \vee SF \& \overline{OF} = SF \oplus OF;$$

$$NL / GE = \overline{SF} \& \overline{OF} \vee SF \& OF = \overline{SF \oplus OF}.$$

$$\begin{aligned} G / NLE &= \overline{SF} \& \overline{ZF} \& \overline{OF} \vee SF \& \overline{ZF} \& OF = \\ &= (\overline{SF} \& \overline{OF} \vee SF \& OF) \& \overline{ZF} = \\ &= \overline{SF \oplus OF} \& \overline{ZF}; \end{aligned}$$

$$\begin{aligned} NG / LE &= \overline{SF} \& OF \vee SF \& OF \vee ZF = \\ &= (SF \oplus OF) \vee ZF. \end{aligned}$$

$$B / NAE / C = CF; \quad NB / AE / NC = \overline{CF};$$

$$A / NBE = \overline{CF} \& \overline{ZF}; \quad NA / BE = CF \vee ZF;$$

$$L / NGE = SF \oplus OF; \quad NL / GE = \overline{SF \oplus OF};$$

$$G / NLE = \overline{SF \oplus OF} \& \overline{ZF}; \quad NG / LE = (SF \oplus OF) \vee ZF;$$

$$E / Z = ZF; \quad NE / NZ = \overline{ZF};$$

$$O = OF; \quad NO = \overline{OF};$$

$$P / PE = PF; \quad NP / PO = \overline{PF}.$$

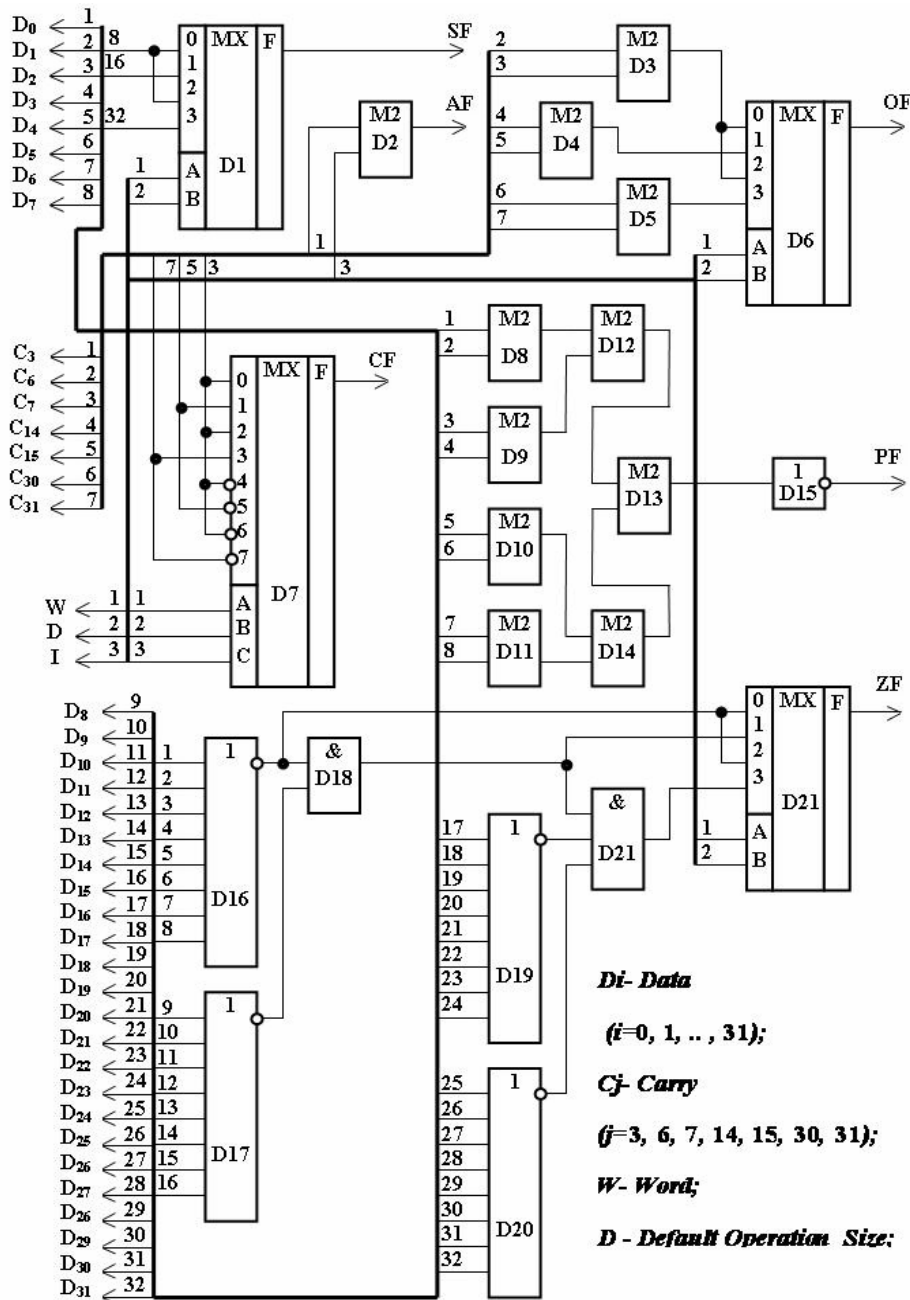


Рис. 2. Спрощена принципова схема формування в мікропроцесорі арифметичних прапорів

		SF_ZF_OF							
		000	001	011	010	110	111	101	100
S _x _S _y	00	G	X	X	E	X	X	X	L
	01	G	X	X	X	X	X	G	X
	11	G	X	X	E	X	X	X	L
	10	X	L	X	X	X	X	X	L

Рис. 3. Поеднана мінімізуюча карта ознак критеріїв після порівняння чисел зі знаком

Із висвітленого матеріалу складено дві системи логічних рівнянь, які між собою взаємно інверсні. Лівою частиною рівнянь систем є по суті мнемоніка команд галуження, а правою ознака, яка виражає певний критерій.

Наприклад, дві умовні інструкції **JL LBC**, **JNGE CBL** виконують однакову функцію, так як вони аналізують в процесорі після порівняння двох чисел зі знаком одну ознаку **SF⊕OF=1** критерію перше число менше ніж друге, а альтернативно (також правильне ствердження) – перше число не більше і не дорівнює другому.

Базова системи команд мікропроцесорів з архітектурою **i80X86** налічує шістнадцять команду умовного галуження зі стандартним форматом **JUMP_CON DISP_8** в два байти. Усі команди мають свою аббреві-

атуру і аналізують певні прапори, чи їх заперечення або цілу комбінацію прапорів. Структурна схема аналізу внутрішніх ознак критеріїв порівнянь усіх чисел в комп'ютері приведена на рис. 4.

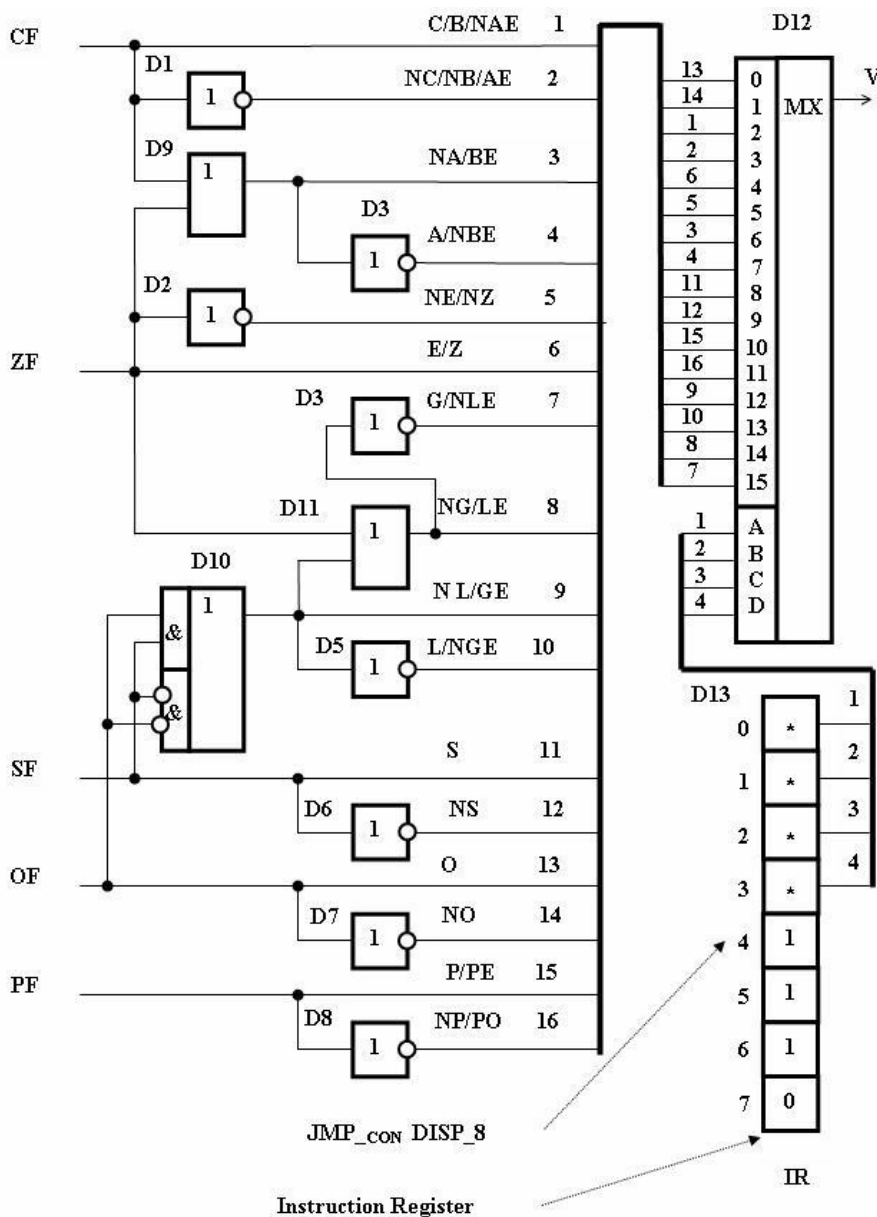


Рис. 4. Принципова схема аналізу станів комбінацій арифметичних прапорів при виконанні в мікропроцесорі команд умовного галуження

Висновки

Будова схеми формування арифметичних прапорів в середовищі зміни розрядності даних та адресів для текучої програми, синтез та аналіз логічної схеми, завдяки використанню якої тестуються усі шістнадцять важливих ознак та деякі інші тонкощі не є випадковістю авторського самоствердження. Навпаки, це є наповнений творчими пошуками шлях, джерело якого знаходиться в минулому. Не

випадковістю стало використання досить цікавого, с точки зору будови, арифметичного пристрою головного мікропроцесора, структура якого була описана автором в публікації.

Література

1. Барри, Б. *Микропроцессоры INTEL [Текст] / Б. Барри. – СПб.: БХВ-Петербург, 2005. – 1328 с.*
2. Григорьев, В.Л. *Программирование однокри-*

стальных микропроцессоров [Текст] В.Л. Григорьев. – М.: Энергоатомиздат, 1987. – 286 с.

3. Ерёмин, Е.А. Популярные лекции об устройстве компьютера [Текст] / Е.А. Ерёмин. – СПб.: БХВ-Петербург, 2003. – 272 с.

Поступила в редакцию 24.02.2012

Рецензент: д-р техн. наук, проф. В.И. Хаханов, Харьковский национальный университет радиоэлектроники, Харьков, Украина.

СТРОЕНИЕ ОПЕРАЦИОННЫХ УСТРОЙСТВ ПРОЦЕССОРА МИКРОАРХИТЕКТУРЫ i80x86 ИХ ВЛИЯНИЕ НА ФЛАГИ СОСТОЯНИЯ

А.М. Бездетко

Предлагаемая разработка разделена на три раздела. Первый раздел позволяет читателю увидеть авторское открытие строения вычислительного оборудования главного микропроцессора на базе существующего арифметического устройства в регистровом окружении и вспомогательной схемной логики. Второй раздел не менее интересен в вопросе использования алгебры логики и в строении гипотетического комбинационного устройства главного микропроцессора, в котором от определенных источников информации формируются флаги состояния, которые имеют назначение глобального использования. Теоретические положения поддержаны практической реализацией в виде прикладной программы по исследованию флагов состояния. Заинтересованность читателя по составу третьего раздела, думаю, бесспорная. Теоретически автором доказана и имеется синтезирована внутренняя гипотетическая схема тестирования глобальных флагов микропроцессора при выполнении команд условного ветвления. Все это относится к инновациям и является научным открытием путей синтеза и анализа внутреннего оборудования микропроцессоров компьютерных систем.

Ключевые слова: дескриптор сегмента, формирования входного перенесения, вычисления исходного перенесения, мультиплексор, флаги состояния, операционное устройство микропроцессора, регистр статусу.

STRUCTURE OF OPERATING DEVICES OF PROCESSOR OF MICROARCHITECTURE i80x86 AND THEIR INFLUENCE ON FLAGS OF THE STATE

A.M. Bezditko

The offered development parts on three sections. The first section allows a reader to see the author opening of structure of calculable equipment of main microprocessor on the base of existent arithmetic unit in register surroundings and auxiliary scheme logic. Second section, no less interesting in the question of the use of boolean algebra and in the structure of hypothetical petticoat device of main microprocessor, in which from certain information generators the flags of the state, which have setting of the global use, are formed. Theoretical positions are supported practical realization as an application program on research of flags of the state. Personal interest of reader on composition of the third section, think, indisputable. In theory by the author of to prove and it is present the internal hypothetical chart of testing of global flags of microprocessor is synthesized at implementation of commands of conditional jump. All of it behaves to the innovations and in the scientific opening of ways of synthesis and analysis of internal equipment of microprocessors of the computer systems.

Key words: segment, forming of entrance transference, calculation of initial transference descriptor, multiplex, flags of the state, operating device of microprocessor, register of status.

Бездітко Олексій Михайлович - викладач методист комп'ютерних дисциплін, спеціаліст вищої категорії, Харківський радіотехнічний технікум, Україна, Харків, Україна, e-mail: Bezdetko.am@yandex.ru.