

УДК 519.873

Д.Е. ИВАНОВ

*Институт прикладной математики и механики НАН Украины, Донецк, Украина*

## МЕТОДЫ ПАРАЛЛЕЛЬНОГО МОДЕЛИРОВАНИЯ СБИС С НЕИСПРАВНОСТЯМИ

*В данной статье рассматриваются подходы к построению параллельных методов моделирования больших цифровых устройств с неисправностями. Выделяются три основных подхода конструирования таких алгоритмов, которые направлены на применение в вычислительных системах различной аппаратной конфигурации. Рассмотрены схемы применения описанных методов при конструировании параллельных алгоритмов моделирования и построения идентифицирующих последовательностей для параллельных инструментальных платформ различной конфигурации.*

**Ключевые слова:** СБИС, моделирование с неисправностями, параллельные вычисления.

### Введение

Задача моделирования поведения СБИС с неисправностями является одной из важных при их проектировании. Алгоритмы моделирования цифровых устройств (ЦУ) с неисправностями используются с различной целью:

- проверка качества построенных тестовых последовательностей, например полнота теста;
- оценивание потенциальных решений в алгоритмах построения идентифицирующих последовательностей (ИдП), которые основаны на моделировании.

Одной из основных характеристик эффективности алгоритмов моделирования является время работы. В этом смысле алгоритмы моделирования являются трудоёмкой задачей: для больших СБИС процесс моделирования с неисправностями может занимать несколько часов машинного времени. Применение их в эволюционных алгоритмах построения ИдП ещё больше усугубляет ситуацию, поскольку такие алгоритмы вызываются итеративно для оценки качества каждого потенциального решения.

Задача моделирования ЦУ с неисправностями для однопроцессорной аппаратной платформы считается решённой. Одним из лучших алгоритмов моделирования является алгоритм PROOFS [1], который является основой для многочисленных улучшений, например [2]. Авторы также описывали модификацию данного алгоритма [3], в которой используется параллельное по разрядам машинного слова моделирование групп неисправностей. Именно данный алгоритм является основой всех параллельных версий, которые рассматриваются в данной статье.

Первые попытки построения параллельных алгоритмов моделирования с неисправностями связаны с применением аппаратных акселераторов [4]. Развитие параллельных вычислительных систем привело к разработке параллельных алгоритмов моделирования [5].

Наиболее полно вопрос построения параллельного алгоритма моделирования схем с неисправностью рассмотрен в [6]. Также предложен ряд асинхронных алгоритмов моделирования ЦУ с неисправностями [7], которые в ряде случаев позволяют добиться лучшей масштабируемости. Основным их недостатком, сдерживающим широкое распространение, является асинхронность работы процессов, затрудняющая их точное взаимодействие и усложняющая структуру алгоритмов.

Однако все указанные методы моделирования разрабатывались для конкретных аппаратных платформ. В случае изменения базовой платформы их эффективность существенно снижается. Таким образом, задача построения быстрых параллельных методов моделирования больших ЦУ с неисправностями для параллельных ВС различной конфигурации остаётся актуальной и в настоящее время.

В данной статье рассматриваются основные подходы построения методов параллельного моделирования СБИС с неисправностями в зависимости от используемой инструментальной среды разработчика.

Выделяются три основных направления построения таких алгоритмов:

- для параллельных ВС с распределённой памятью;
- для слабопараллельных рабочих станций, которые построены на многоядерных процессорах с небольшим числом вычислительных ядер (2-4);

- для сильно параллельных систем, которые включают набор процессоров с общим числом вычислительных ядер 8-12.

Комбинация данных методов позволяет для различных параллельных архитектур строить не только эффективные алгоритмы параллельного моделирования СБИС с неисправностями, но и параллельные эволюционные алгоритмы построения ИдП.

Данная статья имеет следующую структуру. В разделе 1 описывается метод распределённого моделирования ЦУ с неисправностями для ВС с распределённой памятью. В разделах 2, 3 описаны соответствующие методы для слабо- и сильно параллельных ВС с общей памятью. В разделе 4 обсуждается несколько возможных схем применения описанных методов.

## 1. Параллельные ВС с распределённой памятью

Наиболее распространённой схемой построения параллельных версий алгоритма моделирования ЦУ с неисправностями является схема с разбиением списка неисправностей. В данной схеме полный список анализируемых неисправностей  $F = \{f_1, f_2, \dots, f_n\}$  разбивается на ряд подсписков  $F'_1, \dots, F'_m$ , каждый из которых обрабатывается на своём узле ВС. Широкое применение подхода обусловлено тем, что параллельные алгоритмы, использующие такую схему, показывают хорошую масштабируемость. Построение параллельных версий алгоритмов моделирования на основе данной схемы распадается на клиентскую и серверную части.

Сервер инициализирует вычислительный процесс, распределяет задачи по ресурсам ВС (вычислительным узлам) и управляет процессами на них. В такой постановке функции сервера распределённого моделирования заключаются в следующем:

- 1) ввод описания ЦУ  $A$ ;
- 2) ввод тестовой последовательности  $S$ ;
- 3) поиск доступных процессоров-«клиентов»;
- 4) передача описания ЦУ  $A$  на процессоры-«клиенты»;
- 5) передача тестовой последовательности  $S$  на процессоры-«клиенты»;
- 6) построение полного списка неисправностей  $F$ ;
- 7) разбиение списка неисправностей на подсписки  $F'_1, \dots, F'_m$ ;
- 8) передача «клиентам» соответствующих подсписков;
- 9) получение результатов моделирования от «клиентов».
- 10) формирование отчёта.

В свою очередь клиенту необходимо предварительно получить необходимые данные с сервера, а после завершения процедуры моделирования – передать результаты обратно на сервер. Таким образом, к функциям клиента относятся:

- 1) установление соединения с сервером;
- 2) получения описания моделируемого ЦУ  $A$ ;
- 3) получение тестовой последовательности  $S$ ;
- 4) получение списка моделируемых неисправностей  $F'_j$ ;
- 5) непосредственно моделирование ЦУ с неисправностями;
- 6) передача результатов моделирования на сервер.

В [8] авторами описан алгоритм моделирования с неисправностями, который основан на данной схеме. Его апробация проводилась на вычислительном однородном кластере, в котором узлы связаны локальной сетью по технологии FastEthernet 100BaseT. На рис. 1 показана схема взаимодействия компонент данного алгоритма между собой и внешней средой (файловой системой).

Для больших контрольных схем ISCAS-89 [9] ускорение работы алгоритма лежало в диапазоне 4,38-6,98 раза при использовании восьми узлов-клиентов на базе процессора Intel Celeron 2,0ГГц.

## 2. Слабопараллельные ВС с общей памятью

Схема построения параллельного алгоритма моделирования с разбиением списка неисправностей оказывается эффективной и для рабочих станций с процессорами, содержащими 2-4 вычислительных ядра.

В [10] описан алгоритм моделирования для таких систем, который фактически является адаптацией алгоритма из предыдущего раздела. Поскольку данный класс ВС является системами с общей памятью, то модификация заключается в том, что из алгоритма удаляются процедуры обмена между узлами ВС, которые в данном случае являются избыточными.

При реализации алгоритма используется многопоточное программирование. Также выделяется поток-сервер и потоки-клиенты. Каждый вычислительный поток-клиент функционально реализует метод моделирования для однопроцессорной системы. Необходимые данные (описание ЦУ  $A$ , список неисправностей  $F'_j$ , входная тестовая последовательность  $S$ ) передаются в потоки в виде указателей.

Число одновременно выполняемых потоков необходимо выбирать на основе экспериментов.

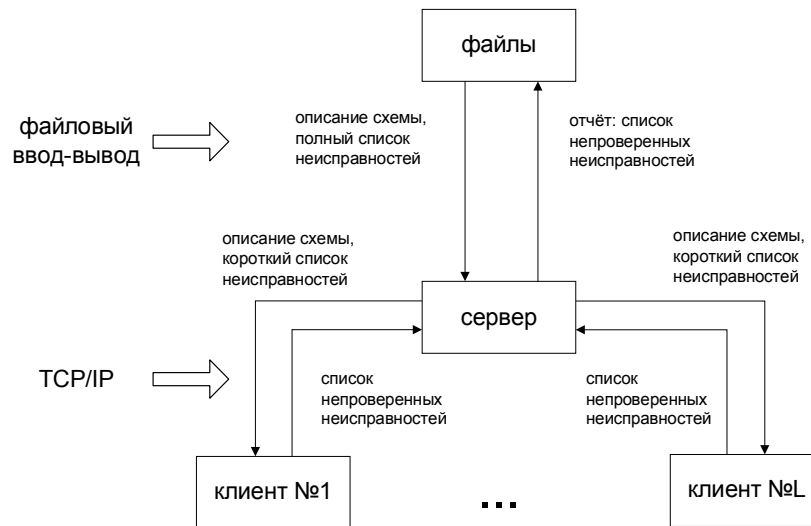


Рис. 1. Взаимодействие компонент распределённого алгоритма моделирования ЦУ с неисправностями

Эксперименты показывают, что число клиентов в параллельной реализации такого алгоритма следует выбирать равным числу вычислительных ядер. Для системы с 4-ядерным процессором Intel Core Quad E6600 2,4 ГГц в результате проведённых машинных экспериментов для пяти больших контрольных схем ISCAS-89 получено ускорение работы алгоритма в диапазоне 2,81-3,44 раза, что является очень высоким результатом.

### 3. Многоядерные ВС с общей памятью

К сожалению в системах с многоядерными процессорами с общим числом ядер 8-12 схема со статическим разбиением списка неисправностей не может быть применима. Это связано с резкой потерей эффективности параллельного алгоритма в терминах загрузки ядер и масштабируемости.

Для параллельных систем данного класса авторами в [11] предложена принципиально новая версия параллельного алгоритма моделирования с неисправностями, которая является многопоточной реализацией метода [3]. Основная особенность данного алгоритма заключается в том, что для текущего входного набора на различных узлах ВС выполняется параллельное моделирование групп неисправностей. При этом каждая такая группа в свою очередь моделируется параллельно по разрядам машинного слова.

Дополнительно с целью повышения эффективности создаётся поток моделирования поведения исправного ЦУ. Однако, поскольку для определения проверяемости неисправностей необходимо знать значения на линиях в исправной схеме, то в момент модельного времени  $t$  происходит моделирование поведения исправного ЦУ для такта  $t+1$ .

Такая схема организации параллельного моделирования с неисправностями является полностью оригинальной и не соответствует ни одной из используемых. Наиболее близко она совпадает со схемой со статическим разбиением списка неисправностей с тем отличием, что формирование групп неисправностей для совместного моделирования на одном входном наборе последовательности  $S$  основано на результатах предыдущего моделирования, т.е. происходит динамически.

Алгоритмическая реализация метода также производилась с помощью потоков. Каждый потоковый класс содержит код функций моделирования группы неисправностей, проверки обнаружимости неисправностей группы и удаления проверенных неисправностей из общего списка. Дополнительный поток реализует функцию моделирования поведения исправного ЦУ. На рис. 2 показана диаграмма вычислительных потоков в данном алгоритме для одного такта модельного времени  $t$ .

Апробация алгоритма проводилась на многоядерной ВС лаборатории MTL (Manycore Testing Lab) компании Intel, которая содержала два шестиядерных процессора Intel Xeon CPU X5650, 2.67 ГГц, общее число вычислительных ядер в системе – 12.

Для пяти больших контрольных схем ISCAS-89 ускорение работы алгоритма в сравнении с однопоточной версией составило от 4,61 до 6,72 раза. Эксперименты показывают, что для получения наибольшей эффективности загрузки вычислительных ядер необходимо выбирать число параллельных потоков моделирования групп неисправностей равное  $i-1$ , где  $i$  - число вычислительных ядер процессора. Вместе с потоком моделирования поведения исправного ЦУ общее число потоков будет равно числу ядер  $i$  в вычислительном узле.

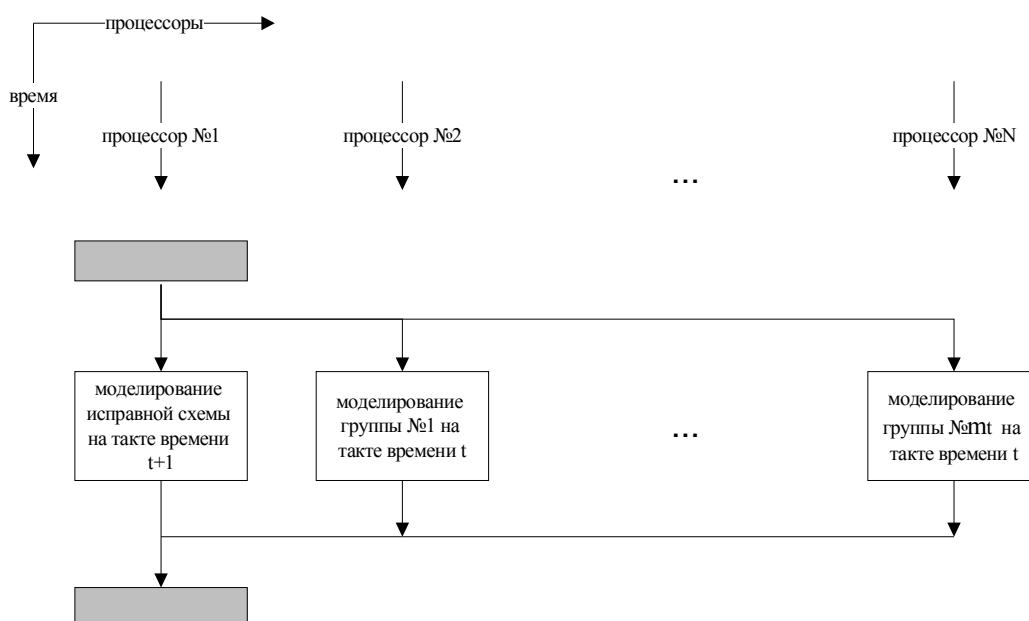


Рис. 2. Параллельное моделирование работы исправного ЦУ и групп неисправных ЦУ на одном такте модельного времени

Поскольку каждый вычислительный поток требует доступа к описанию ЦУ, а общее число потоков достаточно велико, дополнительно проводились эксперименты с целью определить, не является ли подсистема памяти «узким местом» такой реализации. Для этого были реализованы две модификации алгоритма. В первой модификации все потоки обращаются к одному единственному описанию ЦУ в виде таблиц. Во второй модификации для каждого потока создавалась своя отдельная копия таблиц. Эксперименты показали, что для реализованного количества потоков (12) достаточно одной копии таблиц описания ЦУ.

#### 4. Возможные схемы использования

Покажем, что использование описанных подходов моделирования позволяет строить широкий класс алгоритмов моделирования с неисправностями и эволюционных алгоритмов построения идентифицирующих последовательностей. Для этого опишем несколько возможных схем их использования.

1. Методы моделирования с неисправностями, которые описаны в разделах 1-3 ориентированы на соответствующий класс систем. Однако на практике распространены параллельные ВС, которые являются комбинацией указанных.

Например, возможна ситуация, когда в параллельной системе с распределённой памятью каждый узел является многоядерным процессором. В этих случаях необходимо применять комбинации соответствующих методов.

Для описанного случая алгоритм моделирования с неисправностями следует строить следующим образом. Общая структура алгоритма соответствует схеме с разбиением списка неисправностей (раздел 1).

Далее для каждого узла ВС обработки подписка неисправностей следует выбрать:

- метод раздела 2 в случае узлов, которые содержат многоядерные процессоры с числом ядер 2-4;
- метод параллельного моделирования групп неисправностей раздела 3 в случае, когда узлы построены на многоядерных процессорах с числом ядер 8-12.

Такая схема будет эффективна как в смысле верхнего уровня - разбиение списка неисправностей по узлам ВС, так и в смысле нижнего уровня - загрузка вычислительных ядер узлов.

2. Эволюционные методы построения ИдП в настоящее время получили широкое распространение, поскольку позволяют работать с ЦУ большой размерности. Две основные схемы построения параллельных версий генетических алгоритмов (ПГА) заключаются в следующем:

- развитие подпопуляций с обменом особей через определённое число поколений – схема «островов», обычно подпопуляции развиваются на отдельных узлах ВС;
- параллельное вычисление оценок особей в популяции на различных узлах ВС – схема «хозяин-рабочий».

Процедуры моделирования с неисправностями в ГА построения ИдП используются в трёх случаях [12]: построение начальной популяции, вычисление

оценочных функций особей и дополнительное моделирование полученных промежуточных решений на полном списке неисправностей.

При этом параллельное выполнение алгоритма в схеме «хозяин-рабочий» фактически происходит только при вычислении оценок особей. тогда как непосредственно моделирование с неисправностями остаётся последовательным.

Применение рассмотренных подходов параллельного моделирования с неисправностями во всех трёх указанных случаях позволит существенно повысить скорость работы таких алгоритмов. Для этого необходимо в алгоритме использовать один из описанных подходов параллельного моделирования, который соответствует применяемой инструментальной платформе.

При этом параллельная версия генетического алгоритма предназначенная для работы на параллельной ВС может быть построена даже без применения указанных структурных схем ПГА. Простая замена процедур моделирования на их параллельные версии автоматически означает адаптацию алгоритма под соответствующую параллельную ВС.

3. С использованием рассмотренных схем моделирования можно строить параллельные версии даже для принципиально нераспараллеливаемых алгоритмов. Покажем пример такой возможности для алгоритма симуляции отжига (СО) построения входных идентифицирующих последовательностей.

В [13] описан двухуровневый алгоритм СО построения проверяющих тестов. Поскольку в данном алгоритме происходит эволюция одного потенциального решения, то здесь невозможно применение схемы с параллельным вычислением оценок особей, которая используется в схема «хозяин-рабочий» ПГА. Однако применение процедур моделирования в алгоритме полностью соответствует случаю 2 генетических алгоритмов. Таким образом, применение параллельных процедур моделирования также фактически означает построение параллельной версии алгоритма СО для соответствующей аппаратной платформы.

Безусловно, такое построение параллельной версии метода не затрагивает самого внешнего цикла алгоритма СО по температуре, что должно снижать его эффективность.

Однако в алгоритме СО именно процедуры моделирования и оценки конфигураций дают основную вычислительную нагрузку. Поэтому внедрение соответствующих параллельных версий, которые основаны на моделировании, позволит получить приемлемую эффективность в терминах параллельных вычислений.

## Выводы

В статье рассмотрены подходы к построению методов моделирования цифровых СБИС с неисправностями для вычислительных систем различной конфигурации. В зависимости от аппаратной платформы выделено три основных подхода. Для параллельных ВС с распределённой памятью используется схема с разбиением списка неисправностей. Такая схема применяется также в слабопараллельных ВС с общей памятью. Для параллельных систем с общей памятью и числом процессоров 8-12 используется новая схема с параллельным моделированием групп неисправностей, позволяющая добиться приемлемой масштабируемости.

Комбинирование описанных подходов позволяет строить эффективные параллельные алгоритмы моделирования СБИС с неисправностями и эволюционные алгоритмы построения идентифицирующих последовательностей для широко класса параллельных аппаратных платформ.

## Литература

1. Niermann, T.M. PROOFS: A Fast, Memory-Efficient Sequential Circuits Fault Simulator [Text] / T.M. Niermann, W.-T. Cheng, J.H. Patel // IEEE Trans. CAD. – 1992. – V.11. – №2. – P. 198 – 207.
2. Kung, C.P. HyHope: A Fast Fault Simulator with Efficient Simulation of Hypertrophic Faults [Text] / C.P. Kung, C.S. Lin // Proc. of International Test Conference. – 1994. – P. 714 – 718.
3. Иванов, Д.Е. Параллельное моделирование неисправностей для последовательностных схем [Текст] / Д.Е. Иванов, Ю.А. Скобцов // Искусственный интеллект. – 1999. – № 1. – С. 44 – 50.
4. Blank, T. A Survey of Hardware Accelerators Used in Computer Aided Design [Text] / T. Blank // IEEE Design and Test. – 1984. – P. 21 – 39.
5. VLSI Logic and Fault Simulation on General-Purpose Parallel Computers [Text] / R. B. Mueller-Thuns, D.G. Saab, R.F. Damiano, J.A. Abraham // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 1993. – №12(3). – P. 446 – 460.
6. Parker, S. A parallel algorithm for fault simulation based on PROOFS [Text] / S. Parker, P. Banerjee, J. Patel // Proc. IEEE Int. Conf. Computer Design. – 1995. – P. 616 – 621.
7. Krishnaswamy, D. Asynchronous parallel algorithms for test set partitioned fault simulation [Text] / D. Krishnaswamy, P. Banerjee, E.M. Rudnick, J.H. Patel // ACM SIGSIM Simulation Digest. – 1997. – Vol.27, Issue 1. – P. 30 – 37.
8. Иванов, Д.Е. Распределённое параллельное моделирование цифровых схем с неисправностями [Текст] / Д.Е. Иванов, Ю.А. Скобцов, А.И. Эль-Хатиб // Наукові праці Донецького національного технічного університету. Серія: “Обчислювальна

техніка та автоматизація” / Донецьк: ДонНТУ. – 2006. – Вип. 107. – С. 128 – 134.

9. Brgles, F. *Combinational profiles of sequential benchmark circuits [Text]* / F. Brgles, D. Bryan, K. Kozminski // *International symposium of circuits and systems, ISCAS-89.* – 1989. – P. 1929 – 1934.

10. Ivanov, D.E. *Parallel fault simulation on multi-core processors [Text]* / D.E. Ivanov // *Радіоелектронні і комп’ютерні системи.* – 2009. – № 6 (40). – С. 109 – 112.

11. Иванов, Д.Е. *Параллельный алгоритм моделирования цифровых схем с неисправностями для многоядерных систем с общей памятью [Текст]* /

Д.Е. Иванов // *Электронное моделирование.* – 2011. – Т.33, №1. – С. 93 – 106.

12. GATTO: *a Genetic Algorithm for Automatic Test Pattern Generation for Large Synchronous Sequential Circuits [Text]* / F. Corno, P. Prinetto, M. Rebaudengo, M. Sonza Reorda // *IEEE Transactions on Computer-Aided Design.* – August 1996. – Vol. 15, № 8. – P. 943 – 951.

13. Иванов, Д.Е. *Алгоритм симуляции отжига построения тестов цифровых устройств [Текст]* / Д.Е. Иванов, Р. Зуауи // *Вестник Херсонского национального технического университета.* – 2010. – №2(38). – С. 416 – 422.

Поступила в редакцию 23.01.2012

**Рецензент:** д-р техн. наук, проф., зав. кафедры АСУ Ю.А Скобцов, Донецкий национальный технический университет, Донецк, Украина.

## МЕТОДИ ПАРАЛЕЛЬНОГО МОДЕЛЮВАННЯ НВІС ІЗ ПОШКОДЖЕННЯМИ

*Д.Є. Иванов*

Розглядаються підходи до побудови паралельних методів моделювання великих цифрових пристроїв із пошкодженнями. Виділяються три основні підходи конструювання таких алгоритмів, які спрямовані на застосування в обчислювальних системах різної конфігурації. Розглянуто схеми застосування описаних методів при конструюванні паралельних алгоритмів моделювання і побудови ідентифікуючих послідовностей для паралельних інструментальних платформ різної конфігурації.

**Ключові слова:** НВІС, моделювання з пошкодженнями, паралельні обчислення.

## PARALLEL FAULT SIMULATION METHODS OF VLSI

*D.E. Ivanov*

The approaches to constructing of parallel fault simulation algorithms for VLSI are discussed. Three main approaches are marked out: for parallel systems with distributed memory, for slightly parallel computing system with 2-4 calculation cores and for strongly parallel computing system with 8-12 calculation cores. The schemes of application of these approaches are shown. It’s applicable for construction of fault simulation algorithms for VLSI and for algorithms for generating of identifying sequences that work on the parallel platforms of different configurations.

**Key words:** VLSI, fault simulation, parallel calculation.

**Иванов Дмитрий Евгеньевич** – канд. техн. наук, доцент, старший научный сотрудник отдела теории управляющих систем Института прикладной математики и механики НАН Украины, Донецк, Украина.