

УДК 004.33

А.О. МЕЛЬНИК, АЛЬ РАВАШДЕХ Д.Х.

Національний університет «Львівська політехніка», Львів

**СТРУКТУРНА ОРГАНІЗАЦІЯ ПАМ'ЯТІ З ВПОРЯДКОВАНИМ ДОСТУПОМ
НА ОСНОВІ СОРТУВАЛЬНИХ МЕРЕЖ**

Розглянуто питання розробки принципів структурної організації пам'яті з впорядкованим доступом на основі сортувальних мереж. Запропоновано основні типи структур пам'яті з впорядкованим доступом на основі сортувальних мереж. Розроблено алгоритми впорядкування векторних та матричних даних за їх мітками. Розглянуто структури різних типів пам'яті з впорядкованим доступом для варіантів запису та зчитування даних: рядок, стовпець, матриця.

Ключові слова: пам'ять з впорядкованим доступом, сортувальна мережа, структура пам'яті з впорядкованим доступом.

Вступ

Пам'ять є одним з базових вузлів комп'ютера. З розвитком комп'ютерів суттєві зміни відбулися і в будові пам'яті, значно покращилися її технічні характеристики [1 – 3]. Разом з тим, при виконанні ресурсномістких задач потрібно забезпечувати зберігання в пам'яті масивів даних, що надходять з багатьох каналів, одночасно з зчитуванням раніше прийнятих масивів даних для опрацювання в багатоблокових операційних пристроях, виконувати операції реорганізації та впорядкування даних в масивах [4 – 6], що для існуючих типів пам'яті є доволі складною, а часто і не вирішуваною з прийнятними характеристиками задачею. Це зумовлено їх потенційними обмеженнями, які суттєво ускладнюють організацію роботи комп'ютера та приводять до сповільнення його роботи. Тому виникає потреба в створенні пам'яті з новими властивостями, якими не завжди володіють існуючі типи пам'яті.

Як показано в роботі [7], таким критерієм ефективності пам'яті як багатопортовість, можливість одночасного безконфліктного доступу до даних з багатьох портів, забезпечення одночасного запису даних, які поступають на її входи, та зчитування на виходи раніше записаних даних, забезпечення можливості виконання операцій реорганізації масивів та впорядкування даних в масивах, однократність звернення, виключення потреби звернень до комірок пам'яті, виключення потреби зберігання інформації про місце знаходження даного в пам'яті, відповідає пам'ять з впорядкованим доступом (ПВД). В цій пам'яті забезпечується доступ до даних у програмно встановленому порядку, тобто мітка, яка поступає в пам'ять разом з даним, або під час його зчитування, вказує місце даного у вихідному масиві [8, 9].

Одним з підходів до побудови ПВД є її реалізація на основі сортувальних мереж [9]. При цьому сортування має проводитися в темпі запису або зчитування даних, тобто в реальному масштабі часу. Актуальним є питання розробки принципів структурної організації пам'яті з впорядкованим доступом на основі сортувальних мереж, якому й присвячена дана робота.

1. Постановка задачі

Будемо виходити з того, що запам'ятовуванню підлягають матриці даних розміром $k \times l$, що записуються до ПВД стрічками розміром l сигналом запису W . Приймемо, що необхідно зчитувати з ПВД сигналом зчитування R матриці даних розміром $m \times n$, впорядкованих за величиною їх міток, причому $m \leq kl$; $n \leq kl$; $mn = kl$. Приймемо також, що впорядковані за величиною їх міток дані зчитуються на вихід пам'яті стрічками розміром n .

Виділимо декілька окремих варіантів інтерфейсу запису та зчитування даних і відповідних їм типів структур ПВД.

Для аналізу можливих підходів до побудови ПВД для початку розглянемо ПВД для зберігання двох даних для наступних типів інтерфейсу запису та зчитування даних: $1 \times 2 \rightarrow 1 \times 2$, тобто коли дані поступають в ПВД двома входами і зчитуються двома виходами, $2 \times 1 \rightarrow 1 \times 2$, тобто коли дані поступають в ПВД одним входом і зчитуються двома виходами, $1 \times 2 \rightarrow 2 \times 1$, тобто коли дані поступають в ПВД двома входами і зчитуються одним виходом, та $2 \times 1 \rightarrow 2 \times 1$, тобто коли дані поступають в ПВД одним входом і зчитуються одним виходом. Це дасть змогу на спрощених схемах побачити загальні підходи з тим, щоб в подальшому розглянути ПВД з

складнішими схемами запису та зчитування даних аж до інтерфейсу типу $kl \rightarrow mn$.

2. Підходи до побудови ПВД

2.1. Впорядкування двох даних за їх мітками

Нехай до ПВД записують два даних ID_0 та ID_1 , які поступають паралельно двома входами разом з своїми мітками SID_0 та SID_1 , тобто $k=1$, $l=2$, і на вихід ПВД паралельно зчитують два даних OD_0 та OD_1 , тобто $m=1$, $n=2$.

Подамо вхідні дані у вигляді вектора

$$|ID_0, ID_1|,$$

вихідні дані подамо у вигляді вектора

$$|OD_0, OD_1|,$$

а мітки вхідних даних подамо у вигляді вектора

$$|SID_0, SID_1|.$$

Тоді задача впорядкованими вектора вхідних даних за величиною їх міток у вектор вихідних даних виглядає наступним чином:

$$|OD_0, OD_1| = |ID_0, ID_1| Q |SID_0, SID_1|,$$

де Q – оператор впорядкування.

При цьому елементи вектора вихідних даних визначаються з виразу

$$\begin{aligned} OD_0 &= ID_0 \text{ if } SID_0 > SID_1 \text{ or } ID_1 \text{ if } SID_0 < SID_1, \\ OD_1 &= ID_0 \text{ if } SID_0 < SID_1 \text{ or } ID_1 \text{ if } SID_0 > SID_1. \end{aligned} \quad (1)$$

2.2. ПВД типу $1 \times 2 \rightarrow 1 \times 2$

Структура ПВД для випадку коли до неї записують два даних ID_0 та ID_1 , які поступають паралельно двома входами разом з своїми мітками SID_0 та SID_1 , тобто $k=1$, $l=2$, і на вихід паралельно зчитують два даних OD_0 та OD_1 , тобто $m=1$, $n=2$, наведена на рис. 1. До складу ПВД входить базовий елемент впорядкування (БЕВ), який складається з двох двовходових мультиплексорів МП0 і МП1, керованих виходом схеми порівняння СП, та два регістри Pr_0 і Pr_1 для зберігання даних.

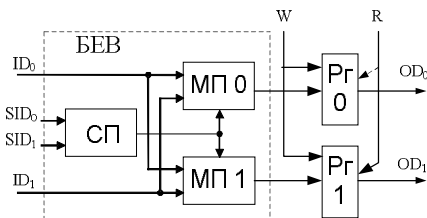


Рис. 1. Структура ПВД типу $1 \times 2 \rightarrow 1 \times 2$

Якщо мітка даного ID_0 більша мітки даного ID_1 , тобто $SID_0 > SID_1$, то на виході СП буде сигнал 0, який пропускає через МП1 дане ID_0 , а через МП2 – дане ID_1 . Якщо мітка даного ID_0 менша мітки

даного ID_1 , тобто $SID_0 < SID_1$, то на виході СП буде сигнал 1, який пропускає через МП1 дане ID_1 , а через МП2 – дане ID_0 . Таким чином, в регістри Pr_1 та Pr_2 сигналом запису W будуть записані відповідно дані OD_0 та OD_1 , які визначаються з виразу (1). Ці дані сигналом R можуть бути зчитані з пам'яті.

Потрібно відзначити, що базовий елемент впорядкування БЕВ можна включити і після регістрів Pr_1 та Pr_2 , але тоді виникає потреба в додаткових двох регістрах для зберігання міток.

2.3. ПВД типу $1 \times 2 \rightarrow 2 \times 1$

Нехай до ПВД записують два даних ID_0 та ID_1 , які поступають паралельно разом з своїми мітками SID_0 та SID_1 , тобто $k=1$, $l=2$, і на вихід ПВД послідовно зчитують два даних OD_0 та OD_1 , тобто $m=2$, $n=1$. Так само як і в попередньому випадку, елементи вектора вихідних даних визначаються з виразу (1).

Структура ПВД показана на рис.2. ПВД складається з БЕВ, двох регістрів Pr_0 та Pr_1 , до яких дані записуються сигналом запису W , та зчитуються сигналом зчитування R , а також тригера Tr , керованого сигналом зчитування R .

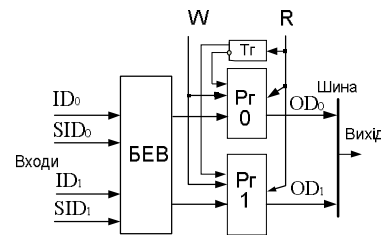


Рис. 2. Структура ПВД типу $1 \times 2 \rightarrow 2 \times 1$

Впорядковані в БЕВ відповідно до значень міток SID_0 та SID_1 дані ID_0 та ID_1 сигналом запису W запишуться в регістри Pr_0 та Pr_1 , а в режимі зчитування по черзі будуть подані на вихід. Першим сигналом зчитування R буде зчитане дане з регістра Pr_0 , а другим – з регістра Pr_1 . Сигнали дозволу зчитування даних з регістрів на вихідну шину формує тригер Tr , який спочатку перебуває в стані «0» та дозволяє зчитування з регістра Pr_0 , а після поступлення першого сигналу зчитування переходить в стан «1» та дозволяє зчитування з регістра Pr_1 .

2.4. ПВД типу $2 \times 1 \rightarrow 1 \times 2$

Якщо $k=2$, $l=1$, то в схемі ПВД додадуться два регістри Pr_2 та Pr_3 для зберігання міток (рис. 3). Сигналом запису W вхідні дані та їх мітки запишуться в відповідні регістри, причому місце запису даних та міток вказується сигналом з виходу тригера Tr , який формує сигнали дозволу запису. Цей тригер спочатку перебуває в стані «0» та дозволяє

запис першого даного i його мітки відповідно до регістрів Pr_0 та Pr_2 , а після поступлення першого сигналу запису W переходить в стан «1» та дозволяє запис другого даного i його мітки відповідно до регістрів Pr_1 та Pr_3 . Після подачі сигналу зчитування R на БЕВ буде здійснено впорядкування даних з регістрів Pr_0 та Pr_1 відповідно до значень їх міток з регістрів Pr_2 та Pr_3 та подача на виходи даних OD_0 та OD_1 .

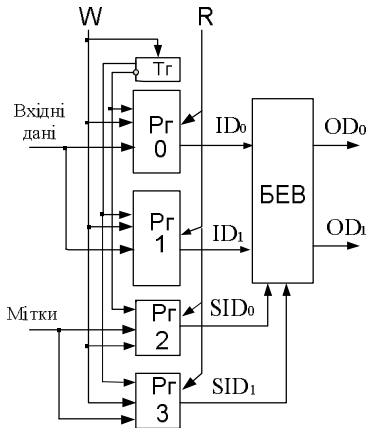


Рис. 3. Структура ПВД типу $2 \times 1 \rightarrow 1 \times 2$

2.5. ПВД типу $2 \times 1 \rightarrow 2 \times 1$

Оскільки $k = 2$, $l = 1$, то на вході ПВД, аналогічно до схеми, показаної на рис.3, будуть ті ж самі регістри $Pr_0 - Pr_3$ для зберігання вхідних даних та їх міток, а також базовий елемент впорядкування БЕВ, і оскільки $m = 2$, $n = 1$, то на виході ПВД додаються два вентиля B_0 та B_1 для подачі зчитаних даних на вихідну шину, а також тригер Tr , який формує сигнали дозволу зчитування, аналогічно до такого ж тригера на рис. 2 (рис.4). Двома сигналами запису з входу W два вхідних даних будуть записані в регістри Pr_0 і Pr_1 , а їх мітки в регістри Pr_2 і Pr_3 , після чого на БЕВ буде здійснено їх впорядкування та подача на входи вентилів B_0 та B_1 . З виходів цих вентилів вихідні дані OD_0 та OD_1 при поступленні сигналу зчитування R будуть подані на вихідну шину, причому спочатку буде зчитане дане з більшою міткою, а потім – з меншою.

3. Пам'ять з впорядкованим доступом до векторів даних

3.1. Впорядкування вектора даних за їх мітками

Нехай до ПВД паралельно записують вектор вхідних даних

$$|ID_0, ID_1, \dots, ID_{l-1}|$$

разом з вектором їх міток

$$|SID_0, SID_1, \dots, SID_{l-1}|,$$

тобто $k = 1$, $l = L$, і на вихід ПВД паралельно зчитують вектор вихідних даних

$$|OD_0, OD_1, \dots, OD_{n-1}|,$$

тобто $m = 1$, $n = N$. При цьому $L = N$.

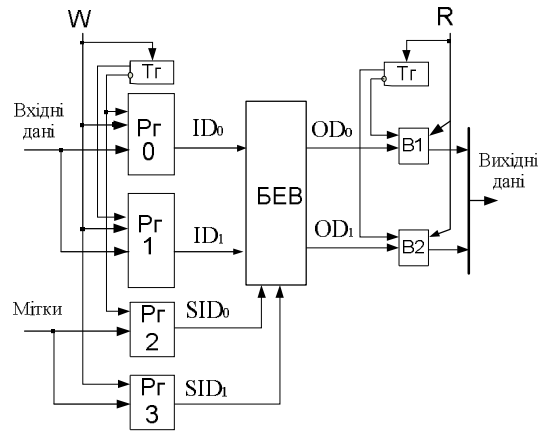


Рис. 4. Структура ПВД типу $2 \times 1 \rightarrow 2 \times 1$

Тоді задача впорядкування вектора вхідних даних за величиною їх міток у вектор вихідних даних виглядає наступним чином:

$$|OD_0, OD_1, \dots, OD_{n-1}| = |ID_0, ID_1, \dots, ID_{l-1}| Q |SID_0, SID_1, \dots, SID_{l-1}|,$$

де Q – оператор впорядкування.

Нехай $|SV_0, SV_1, \dots, SV_{l-1}|$ – вектор впорядкованих міток вхідних даних такий, що $SV_0 < SV_1 < SV_2 < \dots < SV_{l-1}$, де $r = 1$.

Тоді елементи вектора вихідних даних визначаються з виразу

$$OD_i \{i = 0, 1, \dots, n-1\} = ID_j \{j = 0, 1, \dots, l-1\} \quad (2)$$

де i – номер мітки у векторі впорядкованих міток вхідних даних $|SV_0, SV_1, \dots, SV_{l-1}|$,

j – номер мітки у векторі міток вхідних даних $|SID_0, SID_1, \dots, SID_{l-1}|$.

3.2. ПВД типу $1 \times L \rightarrow 1 \times N$

Завдання ПВД типу $1 \times L \rightarrow 1 \times N$ полягає у порівнянні та впорядкуванні всіх L міток вектора міток вхідних даних $|SID_0, SID_1, \dots, SID_{l-1}|$ та забезпеченні запису в ПВД вектора вхідних даних $|ID_0, ID_1, \dots, ID_{l-1}|$ і їх зчитування з ПВД у вигляді вектора вихідних даних $|OD_0, OD_1, \dots, OD_{n-1}|$, елементи якого впорядковані відповідно до виразу (2). Структура ПВД даного типу показана на рис. 5.

На сортувальній мережі CM здійснюється впорядкування міток у векторі міток вхідних даних $|SID_0, SID_1, \dots, SID_{l-1}|$, тобто формування вектора

$|SV_0, SV_1, \dots, SV_{l-1}|$, відповідно до якого у комутуючій мережі КМ здійснюється перестановка даних у векторі вхідних даних $|ID_0, ID_1, \dots, ID_{l-1}|$, після чого вони записуються до регістрів $Pr_0 - Pr_{n-1}$ сигналом запису W .

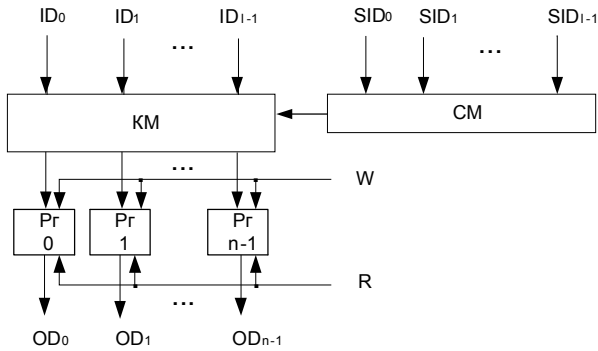


Рис. 5. Структура ПВД типу $1 \times L \rightarrow 1 \times N$

Кількість можливих комбінацій перестановки даних у векторі вхідних даних $|ID_0, ID_1, \dots, ID_{l-1}|$ рівна $\lceil \log_2 l \rceil$, тому розрядність коду управління комутуючою мережею КМ рівна $p = \lceil \log_2 (\lceil \log_2 l \rceil) \rceil$. Час запису даних до ПВД визначається сумарним часом виконання операцій впорядкування міток та перестановки даних відповідно в сортувальній та комутуючій мережах. Вектор вихідних даних $|OD_0, OD_1, \dots, OD_{n-1}|$ зчитується з регістрів $Pr_0 - Pr_{n-1}$ сигналом зчитування R .

3.3. ПВД типу $1 \times L \rightarrow m \times N$

Нехай до ПВД записують вектор вхідних даних $|ID_0, ID_1, \dots, ID_{l-1}|$, які поступають паралельно разом з вектором своїх міток

$$|SID_0, SID_1, \dots, SID_{l-1}|,$$

тобто $k = 1, l = L, i$ на вихід ПВД паралельно зчитують вектор вихідних даних

$$\begin{pmatrix} OD_0 \\ OD_1 \\ \dots \\ OD_{m-1} \end{pmatrix},$$

тобто $m = M, n = 1$. Таким чином, в ПВД рядок перетворюється в стовпець. В цьому випадку до ПВД за один такт сигналом W записуються l даних, а потім за m тактів зчитуються m даних (у кожному такті одне дане), причому $m = 1$. Така ПВД може бути реалізована в кількох варіантах. Один із варіантів – побудова ПВД на базі схеми, показаної на рис.5, якщо її виходи об'єднати спільною шиною та додати лічильник L , який підраховує сигнали зчиту-

вання R та вказує з якого номера вихідного регістра на якому номері сигналу зчитування R дозволяється зчитування (рис. 6).

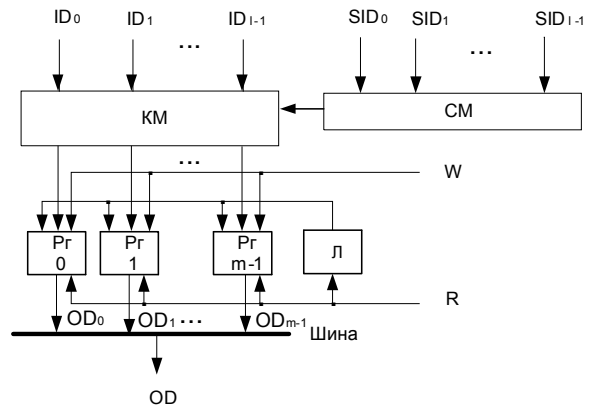


Рис.6. Структура ПВД типу $1 \times L \rightarrow M \times 1$

3.4. ПВД типу $1 \times L \rightarrow M \times N$

Нехай до ПВД записують вектор вхідних даних $|ID_0, ID_1, \dots, ID_{l-1}|$, які поступають паралельно разом з вектором своїх міток

$$|SID_0, SID_1, \dots, SID_{l-1}|,$$

тобто $k = 1, l = L, i$ на вихід ПВД зчитують вектор вихідних даних

$$|OD_0, OD_1, \dots, OD_{n-1}|$$

групами по m даних

$$\begin{pmatrix} OD_0, OD_1, \dots, OD_{m-1} \\ OD_m, OD_{m+1}, \dots, OD_{2m-1} \\ \dots \\ OD_{n-m}, OD_{n-m+1}, \dots, OD_{n-1} \end{pmatrix}.$$

Таким чином, в цій ПВД рядок перетворюється в матрицю, тобто $m = M, n = N$. У цьому випадку схема ПВД співпадає з показаною на рис.6, з тією відмінністю, що із вихідних регістрів одночасно зчитують m чисел (рис. 7).

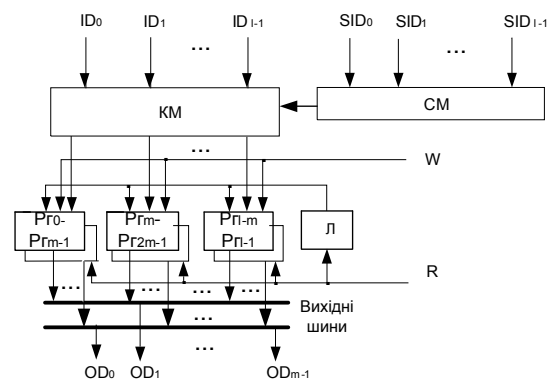


Рис. 7. Структура ПВД типу $1 \times L \rightarrow M \times N$

Для цього вихідні регістри поділено на групи по m регістрів $Pr_0 - Pr_{m-1}$, $Pr_0 - Pr_{2m-1}$, ..., $Pr_{n-m} - Pr_{n-1}$ та виходи кожного i -го регістра, де $i = (j) \bmod m$, $j = 0, 1, \dots, n$ об'єднані спільною шиною. Лічильник L підраховує сигнали зчитування R та вказує з якого номера вихідного регістра на якому номері сигналу зчитування R дозволяється зчитування.

3.5. ПВД типу $K \times 1 \rightarrow 1 \times N$

Нехай до ПВД записують вектор вхідних даних

$$\begin{pmatrix} ID_0 \\ ID_1 \\ \dots \\ ID_{k-1} \end{pmatrix},$$

який поступає послідовно разом з вектором міток вхідних даних

$$\begin{pmatrix} SID_0 \\ SID_1 \\ \dots \\ SID_{k-1} \end{pmatrix},$$

тобто $k = K$, $l = 1$, і на вихід ПВД паралельно зчитують вектор вихідних даних

$$\{OD_0, OD_1, \dots, OD_{n-1}\},$$

тобто $m = 1$, $n = N$. При цьому $K = N$.

Структура ПВД цього типу (рис.8) містить вхідні регістри даних $Pr_{D0} - Pr_{Dk-1}$ для зберігання даних, та вхідні регістри міток $Pr_{M0} - Pr_{Mk-1}$ для зберігання міток, до яких дані і мітки записують поодинці, тобто послідовно, а потім проводиться впорядкування даних за величиною їх міток використовуючи сортувальну CM та комутуючу KM мережі.

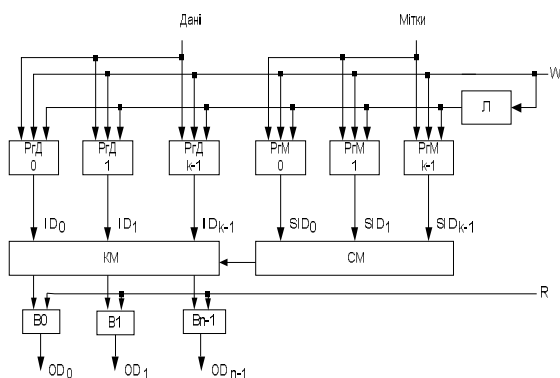


Рис.8. Структура ПВД типу $K \times 1 \rightarrow 1 \times N$

Сигналом запису W вхідні дані та їх мітки записуються в відповідні регістри, причому місце запису даних та міток вказується сигналом з виходу лічильника L , який формує сигнали дозволу запису. Цей лічильник спочатку перебуває в стані «0» та дозволяє запис першого даного і його мітки відпові-

дно до регістрів Pr_{D0} та Pr_{M0} , після поступлення першого сигналу запису W переходить в стан «1» та дозволяє запис другого даного і його мітки відповідно до регістрів Pr_{D1} та Pr_{M1} , після поступлення другого сигналу запису W переходить в стан «2» та дозволяє запис третього даного і його мітки відповідно до регістрів Pr_{D3} та Pr_{M3} і так до запису k -го даного до регістрів Pr_{Dk-1} та Pr_{Mk-1} . Після подачі сигналу зчитування R на комутуючій мережі KM буде здійснено впорядкування даних з регістрів Pr_{D0} , Pr_{D1} , Pr_{Dk-1} відповідно до значень їх міток з регістрів Pr_{M0} , Pr_{M1} , Pr_{Mk-1} , які впорядковуються на сортувальній мережі CM , та подача на входи вентилів B_0, B_1, \dots, B_{n-1} . З виходів цих вентилів вихідні дані $OD_0, OD_1, \dots, OD_{n-1}$ при поступленні сигналу зчитування R будуть подані на вихідну шину.

3.6. ПВД типу $K \times 1 \rightarrow M \times N$

Нехай до ПВД записують вектор вхідних даних

$$\begin{pmatrix} ID_0 \\ ID_1 \\ \dots \\ ID_{k-1} \end{pmatrix},$$

які поступають послідовно разом з вектором міток вхідних даних

$$\begin{pmatrix} SID_0 \\ SID_1 \\ \dots \\ SID_{k-1} \end{pmatrix},$$

тобто $k = K$, $l = 1$, і на вихід ПВД зчитують вектор вихідних даних

$$\{OD_0, OD_1, \dots, OD_{n-1}\}$$

групами по m даних

$$\begin{pmatrix} OD_0, OD_1, \dots, OD_{m-1} \\ OD_m, OD_{m+1}, \dots, OD_{2m-1} \\ \dots \\ OD_{n-m}, OD_{n-m+1}, \dots, OD_{n-1} \end{pmatrix}.$$

Таким чином, в цій ПВД рядок перетвориться в матрицю, тобто $m = M$, $n = N$.

При цьому $K = N$.

Структура ПВД цього типу (рис. 9) містить вхідні регістри даних $Pr_{D0} - Pr_{Dk-1}$ для зберігання даних, та вхідні регістри міток $Pr_{M0} - Pr_{Mk-1}$ для зберігання міток, до яких дані і мітки записують поодинці, тобто послідовно, а потім проводиться впорядкування даних за величиною їх міток використовуючи сортувальну CM та комутуючу KM мережі.

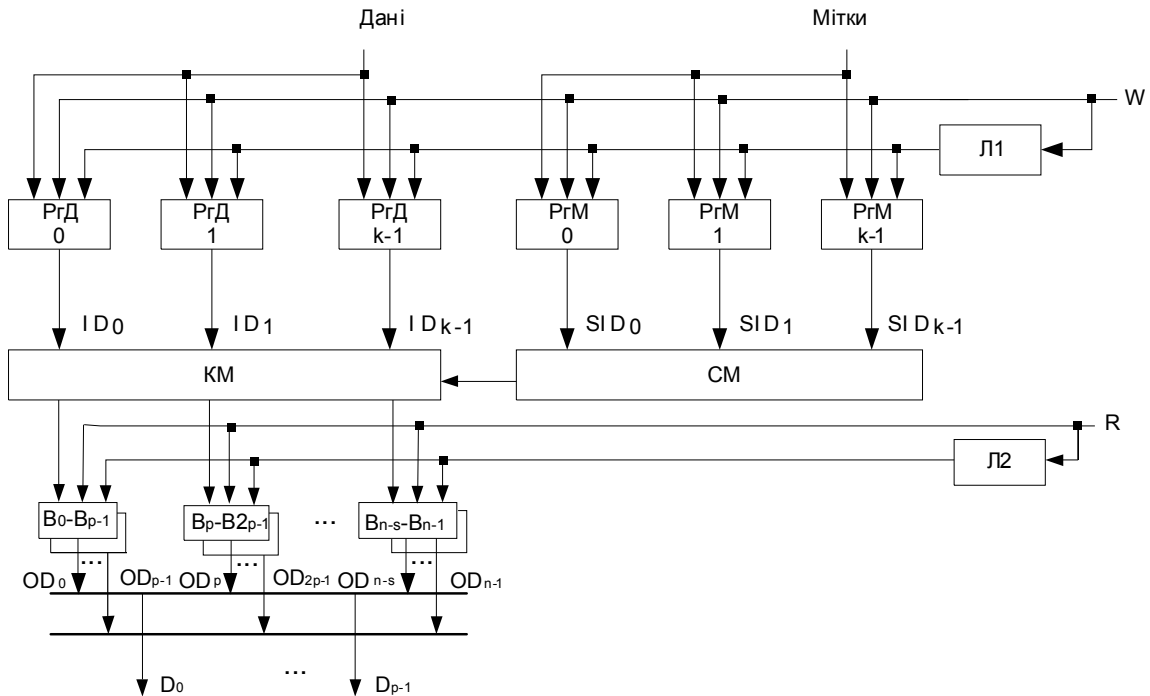


Рис. 9. Структура ПВД типу $K \times 1 \rightarrow M \times N$

Сигналом запису W вхідні дані та їх мітки записуються в відповідні регістри, причому місце запису даних та міток вказується сигналом з виходу лічильника L , який формує сигнали дозволу запису. Цей лічильник спочатку перебуває в стані «0» та дозволяє запис першого даного і його мітки відповідно до регістрів PrD_0 та PrM_0 , після поступлення першого сигналу запису W переходить в стан «1» та дозволяє запис другого даного і його мітки відповідно до регістрів PrD_1 та PrM_1 , після поступлення другого сигналу запису W переходить в стан «2» та дозволяє запис третього даного і його мітки відповідно до регістрів PrD_3 та PrM_3 і так до запису k -го даного до регістрів PrD_{k-1} та PrM_{k-1} . Після подачі сигналу зчитування R на KM буде здійснено впорядкування даних з регістрів PrD_0 , PrD_1 , PrD_{k-1} відповідно до значень їх міток з регістрів PrM_0 , PrM_1 , PrM_{k-1} . З ПВД цього типу одночасно зчитують m чисел, для чого на її виході включено вентилі, які поділено на групи по m вентилів $B_0 - B_{m-1}$, $B_m - B_{2m-1}$, ... $B_{n-s} - B_{n-1}$ та виходи кожного i -го вентиля, де $i = (j) \bmod m$, $j = 0, 1, \dots, n_j$ об'єднані спільною шиною. Лічильник L підраховує сигнали зчитування R та вказує з якого номера вентиля на якому номері сигналу зчитування R дозволяється зчитування. З виходів цих вентилів вихідні дані OD_0, OD_1, OD_{m-1} при поступленні сигналу зчитування R будуть подані на відповідну вихідну шину.

3.7. ПВД типу $K \times L \rightarrow 1 \times N$

Нехай до ПВД записують вектор вхідних даних групами по k даних

$$\begin{bmatrix} ID_0 & ID_1 & \dots & ID_{k-1} \\ ID_k & ID_{k+1} & \dots & ID_{2k-1} \\ \dots & \dots & \dots & \dots \\ ID_{l-k} & ID_{l-k+1} & \dots & ID_{l-1} \end{bmatrix},$$

які поступають разом з вектором своїх міток

$$\begin{bmatrix} SID_0 & SID_1 & \dots & SID_{k-1} \\ SID_k & SID_{k+1} & \dots & SID_{2k-1} \\ \dots & \dots & \dots & \dots \\ SID_{l-k} & SID_{l-k+1} & \dots & SID_{l-1} \end{bmatrix},$$

тобто $k = K$, $l = L$, і на вихід ПВД зчитують паралельно вектор вихідних даних

$$\{OD_0, OD_1, \dots, OD_{n-1}\},$$

тобто $m = 1$, $n = N$.

При цьому $L = N$.

Структура ПВД цього типу (рис. 10) містить згруповані по k регістрів вхідні регістри даних

$$PrD_0 - PrD_{k-1},$$

$$PrD_k - PrD_{2k-1}, \dots, PrD_{l-k} - PrD_{l-1},$$

та вхідні регістри міток

$$PrM_0 - PrM_{k-1},$$

$$PrM_k - PrM_{2k-1}, \dots, PrM_{l-k} - PrM_{l-1}$$

для зберігання даних та міток відповідно, до яких дані і мітки записують групами, а після того проводиться впорядкування даних за величиною їх міток використовуючи сортувальну CM та комутуючу KM мережі.

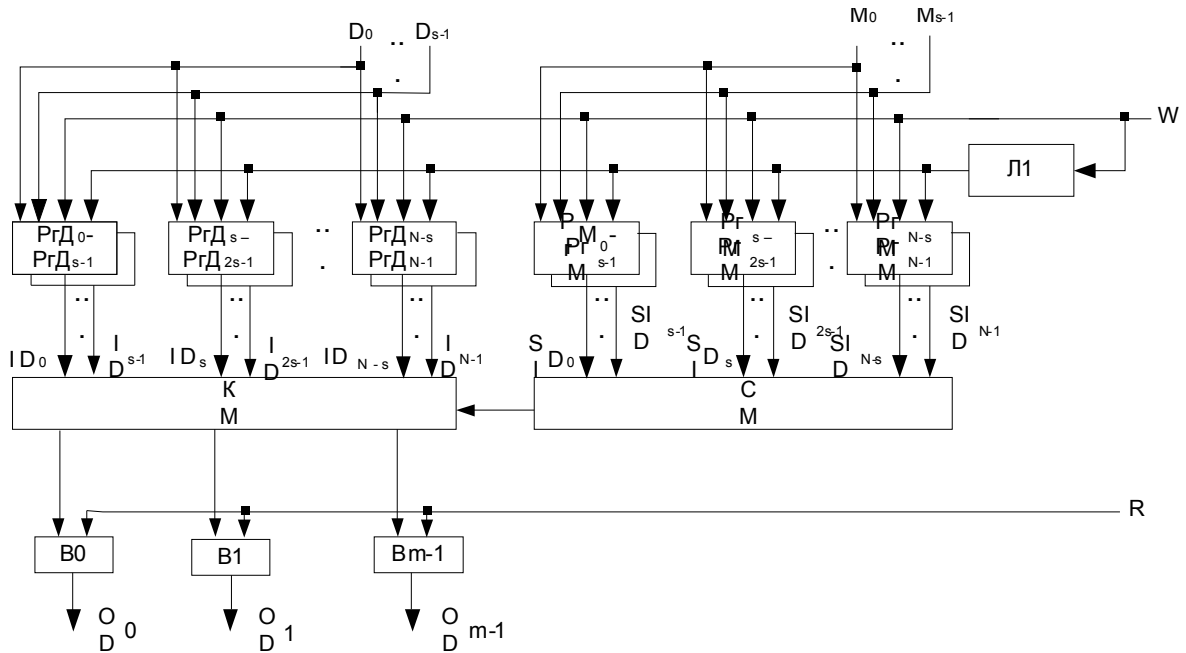


Рис. 10. Структура ПВД типу $K \times L \rightarrow 1 \times N$

Сигналом запису W вхідні дані та їх мітки запишуться в відповідні регістри, причому місце запису даних та міток вказується сигналом з виходу лічильника L , який формує сигнали дозволу запису.

Цей лічильник спочатку перебуває в стані «0» та дозволяє запис першої групи даних і їх міток відповідно до регістрів $PrD_0 - PrD_{k-1}$ та $PrM_0 - PrM_{k-1}$, після поступлення першого сигналу запису W переходить в стан «1» та дозволяє запис другої групи даних і їх міток відповідно до регістрів $PrD_k - PrD_{2k-1}$ та $PrM_k - PrM_{2k-1}$, після поступлення другого сигналу запису W переходить в стан «2» та дозволяє запис третьої групи даних і їх міток відповідно до регістрів $PrD_{2k} - PrD_{3k-1}$ та $PrM_{2k} - PrM_{3k-1}$ і так до запису $\frac{1}{k}$ -ї групи даних та їх міток до регістрів $PrD_{l-k} - PrD_{l-1}$ та $PrM_{l-k} - PrM_{l-1}$.

Після подачі сигналу зчитування R на KM буде здійснено впорядкування даних з регістрів $PrD_0 - PrD_{k-1}$,

$PrD_k - PrD_{2k-1}, \dots, PrD_{l-k} - PrD_{l-1}$ відповідно до значень їх міток з регістрів

$$PrM_0 - PrM_{k-1},$$

$PrM_k - PrM_{2k-1}, \dots, PrM_{l-k} - PrM_{l-1}$ та подача на входи вентилів B_0, B_1, \dots, B_{m-1} .

З виходів цих вентилів вихідні дані $OD_0, OD_1, \dots, OD_{n-1}$ при поступленні сигналу зчитування R будуть подані на вихідну шину.

4. Пам'ять з впорядкованим доступом до матриць даних

4.1. Впорядкування матриці даних за їх мітками

Подамо вхідні дані у вигляді матриці

$$\begin{bmatrix} ID_{0,0} & ID_{0,1} & \dots & ID_{0,l-1} \\ ID_{1,0} & ID_{1,1} & \dots & ID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ ID_{k-1,0} & ID_{k-1,1} & \dots & ID_{k-1,l-1} \end{bmatrix},$$

вихідні дані подамо у вигляді матриці

$$\begin{bmatrix} OD_{0,0} & OD_{0,1} & \dots & OD_{0,n-1} \\ OD_{1,0} & OD_{1,1} & \dots & OD_{1,n-1} \\ \dots & \dots & \dots & \dots \\ OD_{m-1,0} & OD_{m-1,1} & \dots & OD_{m-1,n-1} \end{bmatrix},$$

а мітки вхідних даних подамо у вигляді матриці

$$\begin{bmatrix} SID_{0,0} & SID_{0,1} & \dots & SID_{0,l-1} \\ SID_{1,0} & SID_{1,1} & \dots & SID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ SID_{k-1,0} & SID_{k-1,1} & \dots & SID_{k-1,l-1} \end{bmatrix}.$$

Тоді задача впорядкованими масиву вхідних даних за величиною їх міток у масив вихідних даних виглядає наступним чином:

$$MOD = MID \ Q \ MSID,$$

де MOD , MID та $MSID$ – матриці вихідних, вхідних даних та їх міток,

Q – оператор впорядкування.

Нехай

$$\begin{bmatrix} SV_{0,0} & SV_{0,1} & \dots & SV_{0,r-1} \\ SV_{1,0} & SV_{1,1} & \dots & SV_{1,r-1} \\ \dots & \dots & \dots & \dots \\ SV_{p-1,0} & SV_{p-1,1} & \dots & SV_{p-1,r-1} \end{bmatrix} -$$

матриця впорядкованих міток вхідних даних така, що $SV_{0,0} < SV_{0,1} < SV_{0,2} \dots < SV_{p-1,r-1}$, де $p = k$, $r = 1$.

Тоді елементи матриці вихідних даних визначаються з виразу

$$OD_{i,j} \{i = 0, 1, \dots, m-1, j = 0, 1, \dots, n-1\} = ID_{t,f} \{t = 0, 1, \dots, k-1, f = 0, 1, \dots, l-1\} \quad (3)$$

і $\delta \in SV_{i,j} = SID_{t,f}$

де i, j – номер мітки у матриці впорядкованих міток вхідних даних

$$\begin{matrix} \left[\begin{array}{ccc} SV_{0,0} & SV_{0,1} & \dots & SV_{0,r-1} \\ SV_{1,0} & SV_{1,1} & \dots & SV_{1,r-1} \\ \dots & \dots & \dots & \dots \\ SV_{p-1,0} & SV_{p-1,1} & \dots & SV_{p-1,r-1} \end{array} \right], \\ t, f - \text{номер мітки у матриці міток вхідних даних} \\ \left[\begin{array}{ccc} SID_{0,0} & SID_{0,1} & \dots & SID_{0,l-1} \\ SID_{1,0} & SID_{1,1} & \dots & SID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ SID_{k-1,0} & SID_{k-1,1} & \dots & SID_{k-1,l-1} \end{array} \right]. \end{matrix}$$

4.2. ПВД типу $K \times L \rightarrow M \times N$

У випадку, коли в ПВД записується матриця $k \times l$ даних і з її виходу зчитується матриця $m \times n$ даних, структура ПВД, яка показана на рис. 11, будується на базі вище розглянутих.

ПВД цього типу (рис. 11) містить згруповані по k регістрів вхідні регістри даних

$Pr D_0 - Pr D_{k-1}$, $Pr D_k - Pr D_{2k-1}$, ...
 $Pr D_{l-k} - Pr D_{l-1}$, та вхідні регістри міток $Pr M_0 - Pr M_{k-1}$, $Pr M_k - Pr M_{2k-1}$, ...
 $Pr M_{l-k} - Pr M_{l-1}$ для зберігання даних та міток відповідно, до яких дані і мітки записують групами, а після того проводиться впорядкування даних за величиною їх міток використовуючи сортувальну СМ та комутуючу КМ мережі відповідно до виразу (3).

Сигналом запису W вхідні дані та їх мітки записуються в відповідні регістри, причому місце запису даних та міток вказується сигналом з виходу лічильника L , який формує сигнали дозволу запису. Цей лічильник спочатку перебуває в стані «0» та дозволяє запис першої групи даних і їх міток відповідно до регістрів $Pr D_0 - Pr D_{k-1}$ та $Pr M_0 - Pr M_{k-1}$, після поступлення першого сигналу запису W переходить в стан «1» та дозволяє запис другої групи даних і їх міток відповідно до регістрів $Pr D_k - Pr D_{2k-1}$ та $Pr M_k - Pr M_{2k-1}$, після поступлення другого сигналу запису W переходить в стан «2» та дозволяє запис третьої групи даних і їх міток відповідно до регістрів $Pr D_{2k} - Pr D_{3k-1}$ та $Pr M_{2k} - Pr M_{3k-1}$ і так до запису $1/k$ -ї групи даних та їх міток до регістрів $Pr D_{l-k} - Pr D_{l-1}$ та $Pr M_{l-k} - Pr M_{l-1}$.

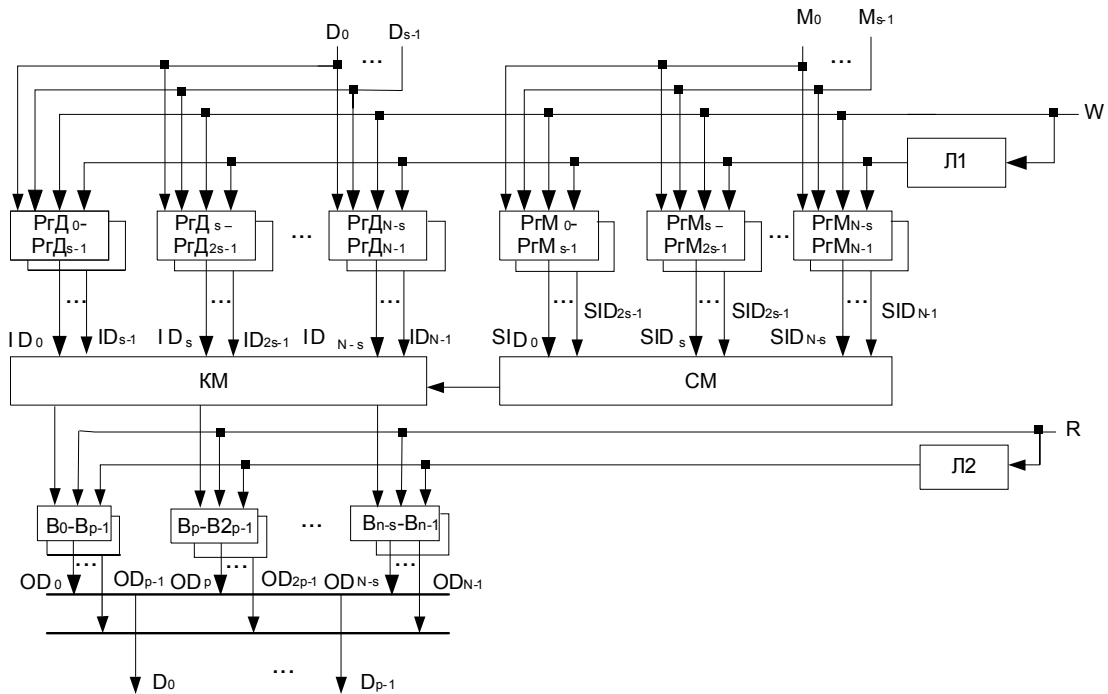


Рис. 11. Структура ПВД типу $K \times L \rightarrow M \times N$

Після подачі сигналу зчитування R на КМ буде здійснено впорядкування даних з регістрів $Pr D_0 - Pr D_{k-1}$, $Pr D_k - Pr D_{2k-1}$, ...

$Pr D_{l-k} - Pr D_{l-1}$ відповідно до значень їх міток з регістрів $Pr M_0 - Pr M_{k-1}$, $Pr M_k - Pr M_{2k-1}$, ...
 $Pr M_{l-k} - Pr M_{l-1}$.

З ПВД цього типу одночасно зчитують m чисел, для чого на її виході включено вентиля, які поділено на групи по m вентилів $B_0 - B_{m-1}$, $B_m - B_{2m-1}$, ... $B_{n-m} - B_{n-1}$ та виходи кожного i -го вентиля, де $i = (j) \bmod m$, $j = 0, 1, \dots, n$ об'єднані спільною шиною. Лічильник L підраховує сигнали зчитування R та вказує з якого номера вентиля на якому номері сигналу зчитування R дозволяється зчитування. З виходів цих вентилів вихідні дані при поступленні сигналу зчитування R будуть подані на відповідну вихідну шину.

Висновки

В роботі запропоновано основні типи структур пам'яті з впорядкованим доступом на основі сортувальних мереж.

Розроблено алгоритми впорядкування векторних та матричних даних за їх мітками.

Розглянуто структури різних типів пам'яті з впорядкованим доступом для варіантів запису та зчитування даних двох паралельно поданих даних за різними схемами їх поступлення: $1 \times 2 \rightarrow 1 \times 2$, $2 \times 1 \rightarrow 1 \times 2$, $1 \times 2 \rightarrow 2 \times 1$ та $2 \times 1 \rightarrow 2 \times 1$, та більш складні схеми ПВД з впорядкуванням даних в рядку, стовпці та матриці.

Література

1. Bruce Jacob, Spencer Ng, and David Wang . *Memory Systems: Cache, DRAM, Disk*. Morgan Kaufmann Series in Computer Architecture and Design. 2007.
2. Roger Young. *How Computers Work: Processor And Main Memory (Second Edition)*. Morgan Kaufmann Series in Computer Architecture and Design. 2009.
3. Мельник А.О. *Архітектура комп'ютера* / А.О. Мельник – Луцьк: Волинська обл. друк, 2008. – 470 с.
4. Кун С. *Матричные процессоры на СБИС: Пер. с англ.* / С. Кун – М.: Мир, 1991. – 672 с.
5. Мельник А.А. *Процессоры обработки сигналов* / А.А. Мельник – Львов, 1989. – 330 с.
6. Рабинер Л. *Теория и применение цифровой обработки сигналов.* / Л. Рабинер, Б. Гоулд – М.: «Мир», 1978. – 848 с.
7. Мельник А.О. *Вимоги до пам'яті спеціалізованих процесорів* / А.О. Мельник // *Радіоелектронні і комп'ютерні системи*. 2009. - № 6(40). – С. 213-216.
8. Мельник А.О. *Принципи побудови буферної сортувальної пам'яті* / А.О. Мельник // *Вісник Державного університету "Львівська Політехніка"*, "Комп'ютерна інженерія та інформаційні технології". – 1996. – N 307. – С.65-71.
9. Мельник А.О. *Спеціалізовані комп'ютерні системи реального часу.* / А.О. Мельник – Львів: НУ „Львівська політехніка”, 1996. – 60 с.

Надійшла в редакцію 27.01.2010

Рецензент: д-р техн. наук, проф. Р.Б. Дунець, Національний університет «Львівська політехніка», Львів.

СТРУКТУРНАЯ ОРГАНИЗАЦИЯ ПАМЯТИ С УПОРЯДОЧЕННЫМ ДОСТУПОМ НА ОСНОВЕ СОРТИРОВОЧНЫХ СЕТЕЙ

А.А. Мельник, Д.Х. Аль Равашдех

Рассмотрен вопрос разработки принципов структурной организации памяти с упорядоченным доступом на основе сортировальных сетей. Предложены основные типы структур памяти с упорядоченным доступом на основе сортировочных сетей. Разработаны алгоритмы упорядочения векторных и матричных данных по их меткам. Рассмотрены структуры различных типов памяти с упорядоченным доступом для вариантов записи и считывания данных: строка, столбец, матрица.

Ключевые слова: память с упорядоченным доступом, сортировочная сеть, структура памяти с упорядоченным доступом.

STRUCTURE ORGANIZATION OF ORDERED ACCESS MEMORY BASED ON SORTING NETWORKS

A.O. Melnyk, J. Al Ravashdeh

The question of development of principles of structural organization of memory is considered with well-organized access on the basis of sorting networks. The basic types of ordered access memory structures based on sorting networks are proposed. The algorithms for ordering the vector and matrix data on their stamps are developed. The structures of different types of ordered access memory for write and read modes: row of data, column of data and matrix of data are considered.

Key words: memory with well-organized access, sorting network, structure of memory with well-organized access.

Мельник Анатолій Олексійович – д-р техн. наук, проф., завідувач кафедри ЕОМ Національного університету “Львівська політехніка”, Львів, Україна.

Аль Равашдех Джавад – аспірант кафедри ЕОМ Національного університету “Львівська політехніка”, Львів, Україна