

УДК 621.38

А.А. БОРИСЕНКО, В.В. ПЕТРОВ, В.Н. ГАПИЧ

Сумської державний університет «СумГУ», Україна

МАТРИЧНЫЕ ПОМЕХОУСТОЙЧИВЫЕ ДЕЛИТЕЛИ ЧАСТОТЫ

Проведен синтез устройства детектирования сбоя делителя частоты, построенного на основе матричного биномиального кода. Это устройство позволяет строить помехоустойчивые делители частоты, которые имеют преимущество перед целым рядом аналогичных помехоустойчивых делителей. Преимущество заключается в возможности асинхронного детектирования сбоя в течение того же такта, в котором они возникают. В то время как аналогичные устройства при возникновении сбоя продолжают функционировать еще несколько тактов без его обнаружения.

Ключевые слова: помехоустойчивые делители, сбоя цифровых устройств, повышение надежности, помехоустойчивый код, матричный биномиальный код.

Введение

Тактовые сигналы используются в цифровых электронных системах для синхронизации событий среди нескольких систем внутри интегральной схемы. Основным тактовым сигналом генерируется задающим тактовым генератором, который имеет относительно высокую частоту. Этот основной тактовый сигнал делится для получения необходимого количества вторичных тактовых сигналов меньших по значению. Вторичные тактовые сигналы используются различными компонентами системы. Для генерации вторичных тактовых сигналов на определенных уровнях интегральных схем часто используются системы частотно-фазовой автоматической подстройки.

Полученные таким образом тактовые сигналы являются синхронизированными с внешним основным тактовым сигналом или другим опорным сигналом.

Надежность выполнения операций электронной системы в значительной мере зависит от точности тактовых сигналов. Тем не менее, из-за ряда причин делители частоты могут работать некорректно, и выходная тактовая частота и фаза будут отличаться от желаемой. Однако возможность детектирования сбоя делителей частоты позволяет устранить такие проблемы.

Примером такой надежной системы может служить дисковый накопитель, который накапливает и отдает цифровую информацию в компьютерной системе. [1]

1. Исследуемая схема

На рис. 1 приведена исследуемая блок-схема надежного дискового накопителя. Схема включает в

себя программируемый процессор 1 верхнего уровня. Процессор обменивается информацией с проблемно-ориентированной интегральной микросхемой (ASIC), включающей в себя тактовый генератор 3, который в ответ на опорный сигнал REF 2 генерирует тактовый сигнал А, частотой 500 МГц. Тактовый генератор содержит частотно-фазовую автоматическую подстройку. Тактовый сигнал А используется двумя делителями частоты 4, 5. В результате деления получается тактовый сигнал В, частотой 100 МГц и С, частотой 250 МГц, которые используются внутренними схемами ASIC. Особый интерес представляют сигналы 6 – 8, которые представляют собой RESET – сигнал сброса делителя, ERROR – сигнал сбоя делителя, DF – шина установки коэффициента деления.

Однако разработанные способы детектирования, оповещения и исправления некорректной работы делителей частоты имеют ряд недостатков. Особенно это касается случая, когда тактовые сигналы генерируются и используются внутри проблемно-ориентированной интегральной схемы ASIC. Недостатки разработанных методов заключается в несвоевременном детектировании возникших сбоях.

В соответствии с вышесказанным существует потребность в разработке устройства быстрого детектирования, оповещения и исправления некорректной работы делителей частоты.

Одним из методов достижения поставленной задачи является построение делителей частоты на основе помехоустойчивых кодов.

В данном случае в качестве такого помехоустойчивого кода целесообразно использование матричного биномиального кода, преимущество которого заключается в содержании естественной избыточности.

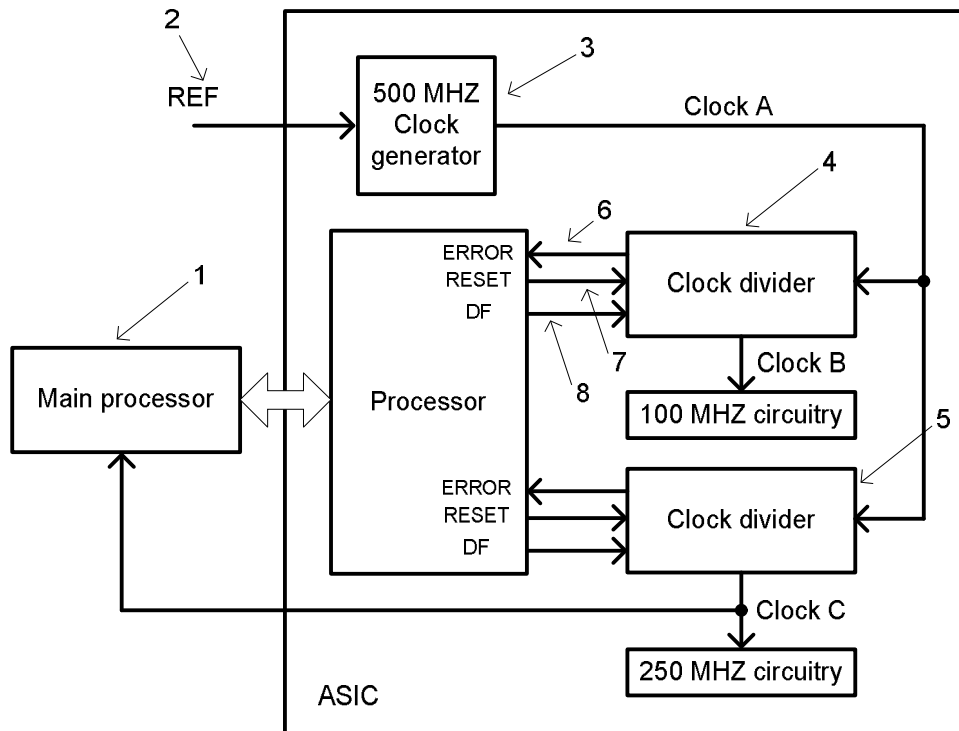


Рис. 1. Структурная схема дискового накопителя

Проверка ограничений, которым отвечают все разрешенные кодовые комбинации, дает информацию о классе проверяемой кодовой комбинации (класс разрешенных или класс запрещенных кодовых комбинаций) [2].

Преимущество данного метода состоит в возможности асинхронного определения класса кодовой комбинации.

Алгоритм счета в матричном биномиальном коде состоит в последовательном заполнении единицами $(n - k + 1)$ строк матричного числа начиная с $(i + 1)$ -го по k разряд, где n и k , $n \geq k$ – параметры матричного кода; i – количество единиц в матричном числе. [2]

В качестве примера приведены матричные числа с параметрами $n = 5$, $k = 3$:

$$\begin{pmatrix} 0 & & & & \\ 0 & 0 & 0 & & \\ 0 & 0 & 0 & & \\ 0 & 0 & 0 & & \end{pmatrix}, \begin{pmatrix} 1 & & & & \\ 1 & 0 & 0 & & \\ 0 & 0 & 0 & & \\ 0 & 0 & 0 & & \end{pmatrix},$$

$$\begin{pmatrix} 1 & 1 & 0 & & \\ 0 & 0 & 0 & & \\ 0 & 0 & 0 & & \end{pmatrix}, \begin{pmatrix} 1 & 1 & 1 & & \\ 0 & 0 & 0 & & \\ 0 & 0 & 0 & & \end{pmatrix}, \begin{pmatrix} 0 & 0 & 0 & & \\ 1 & 0 & 0 & & \\ 0 & 0 & 0 & & \end{pmatrix},$$

$$\begin{pmatrix} 0 & 1 & 0 & & \\ 1 & 0 & 0 & & \\ 0 & 0 & 0 & & \end{pmatrix}, \dots, \begin{pmatrix} 0 & 0 & 0 & & \\ 0 & 0 & 0 & & \\ 1 & 1 & 1 & & \end{pmatrix}.$$

Диапазон представляемых чисел находится как $N_{\delta} = C_{n+1}^k$.

Для приведенного примера $N_{\delta} = C_6^3 = 20$.

Доля обнаруживаемых ошибочных комбинаций [3]

$$D = 1 - \frac{N_p}{2^n},$$

где N_p – количество разрешенных комбинаций.

Для приведенного примера:

$$D = 1 - \frac{20}{2^9} = 0,96.$$

2. Синтез устройства детектирования

С целью синтеза устройства детектирования сбоев матричного делителя, были получены достаточные ограничения, проверка которых дает информацию о классе кодовой комбинации (класс запрещенных или разрешенных комбинаций). Достаточные ограничения получены объединением и преобразованием основных ограничений приведенных в [2]. Достаточные ограничения состоят в следующем:

1. Единицы, расположенные в любой строке матрицы начиная с элемента α_{ij} и до $\alpha_{ij'}$ так, что произведение:

$$(\alpha_{i2}\bar{S}_{i1}) \cup (\alpha_{i3}\bar{S}_{i2}) \cup \dots \cup (\alpha_{ij'}\bar{S}_{i(j'-1)}) = 0, \quad (1)$$

Матричные биномиальные делители частоты имеют регулярную структуру и удобны для реализации на ПЛИС.

Литература

1. *United Stats Patents, № US 62826250 B2, Nov 30, 2004.*

2. *Борисенко А.А. Введение в теорию биномиального счета: Монография / А.А. Борисенко – Сумы: ИТД «Университетская книга», 2004. – 88 с.*

3. *Березюк Н.Т. Кодирование информации (двоичные коды) / Н.Т. Березюк, А.Г. Андрушенко, С.С. Моцицкий и др. – Х.: Вища шк. Изд-во при Харьковском университете, 1978. – 252 с.*

4. *United Stats Patents, № US 4993051 B2, Feb 12, 1991.*

5. *United Stats Patents, № US 7061284 B2, Jun 13, 2006.*

6. *United Stats Patents, № US 7119587 B2, Oct 10, 2006.*

Поступила в редакцию 19.01.2010

Рецензент: д-р техн. наук, проф., зав. кафедрой информатики А.С. Довбыш, Сумской государственной университет, Сумы, Украина.

МАТРИЧНІ ЗАВАДОСТІЙКІ ДІЛЬНИКИ ЧАСТОТИ

О.А. Борисенко, В.В. Петров, В.М. Гапич

Наведено синтез пристрою декодування збоїв дільників частоти, побудованих на основі матричного біноміального коду. Пристрій дозволяє будувати завадостійкі дільники частоти, які мають переваги над цілим рядом аналогічних пристроїв. Перевага полягає у можливості асинхронного декодування збоїв на протязі того ж такту, в якому вони виникають. Аналогічні пристрої продовжують функціонувати ще декілька тактів без виявлення збою.

Ключові слова: завадостійкі дільники, збої цифрових пристроїв, підвишена надійність, завадостійкий код, матричний біноміальний код.

MATRIX NOISELESS FREQUENCY DIVIDERS

A.A. Borusenko, V.V. Petrov, V.N. Gapych

The synthesis of the error decoding device of matrix frequency dividers is supposed. It allows to build a noiseless frequency dividers, which have an advantage over a number of similar devices. The advantage is in the ability of asynchronously error decoding, during the same cycle, in which they arise. While similar devices, in the event of error, continue to operate a few clocks without error detection.

Keywords: noiseless frequency dividers, error decoding, dependability, antinoise coding, matrix binomial code.

Борисенко Алексей Андреевич – д-р техн. наук, проф., зав. кафедрой электроники и компьютерной техники, Сумской государственной университет «СумГУ», Сумы, Украина, e-mail: electron@sumdu.edu.ua.

Петров Владислав Викторович – аспирант кафедры электроники и компьютерной техники, Сумской государственной университет «СумГУ», Сумы, Украина, e-mail: crrassavec@mail.ru.

Гапич Василий Николаевич – зав. Лаб. учебно-научного центра информационных технологий кафедры электроники и компьютерной техники, Сумской государственной университет «СумГУ», Сумы, Украина, e-mail: electron@sumdu.edu.ua.